
2019年 演算増幅器設計コンテスト発表会

2019年12月20日

発表会プログラム

- ・ 上位入賞者作品解説（シミュレーションの部）

		部門1	部門2	部門3	部門4
14:05	齋藤彰寛(群馬大学)	7位	5位	3位	
14:20	新井信吾(群馬大学)	3位		4位	
14:30	猿田将大(群馬大学)	2位	7位		
14:45	伊藤裕也(愛知工業大学)	4位	1位	6位	
15:05	小高孔頌(東京理科大学)	1位	2位	1位	1位
15:35	休憩				

- ・ 上位入賞者作品解説（試作の部）

16:00	日比彪斗(愛知工業大学)	3位
16:10	海野裕一郎(東京理科大学)	2位
16:20	今野哲史(群馬大学)	1位

- ・ 講評

(敬称略)

協賛企業

- ・ セイコーNPC株式会社
- ・ 株式会社トッパン・テクニカル・デザインセンター
- ・ ダイアログ・セミコンダクター株式会社
- ・ エイブリック株式会社
- ・ 新日本無線株式会社
- ・ 旭化成エレクトロニクス株式会社
- ・ 株式会社東芝
- ・ ルネサスエレクトロニクス株式会社
- ・ 横河電機株式会社
- ・ ザインエレクトロニクス株式会社
- ・ アナログ・デバイスズ株式会社



演算増幅器設計コンテスト

部門3 3位

群馬大学
理工学部 電気電子理工学科
学部4年 齋藤彰寛

設計方針

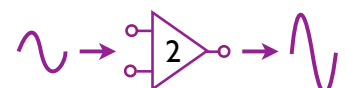
部門3の評価式

$$\text{得点} = \frac{\text{電源電圧変動除去比} \times \text{同相除去比}}{\text{直流利得}^2 \times \text{電源電圧}}$$

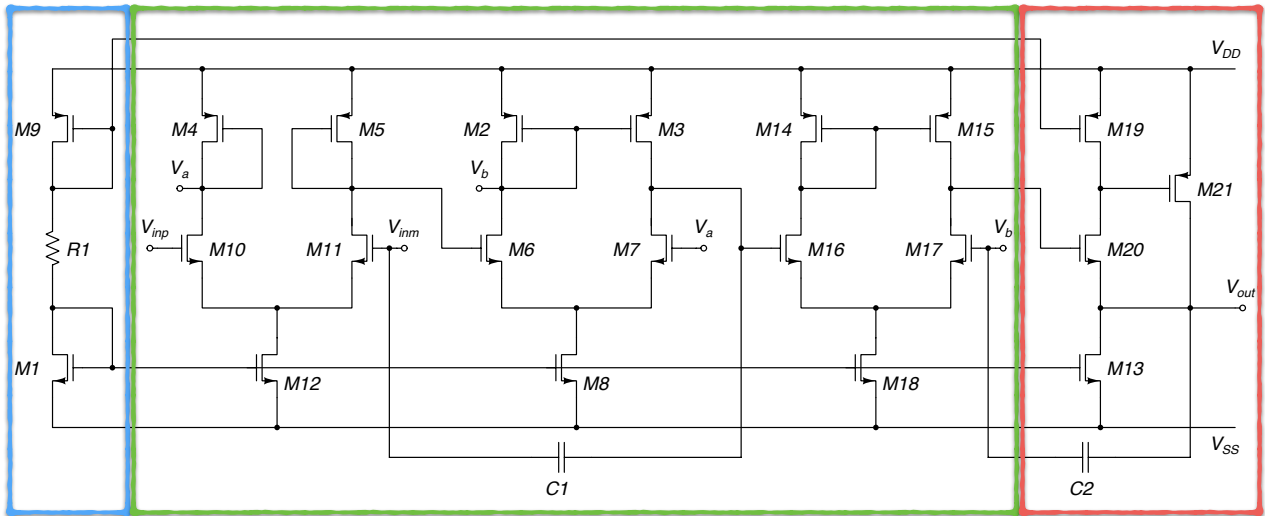
電源電圧変動除去比 (PSRR)、直流利得、電源電圧
それぞれトレードオフの関係



同相除去比 (CMRR) を大きくすることが重要



提出回路



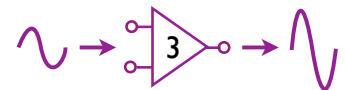
バイアス段

差動入力段

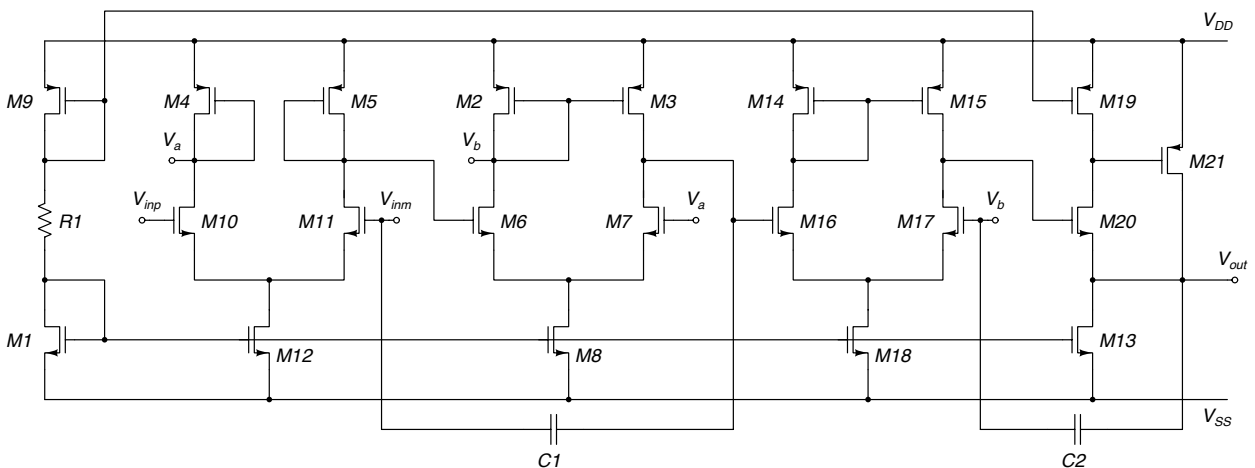
出力段

ダイオード接続差動増幅+2段増幅で、差動利得→大、同相利得→小

GUNMA UNIVERSITY TAKAI-LAB



提出回路



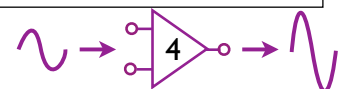
Vdd = 1.4[V], Vss = -1.4[V], PMOSバルク : Vdd, NMOSバルク : Vss

R1 = 150k[Ω], C1 = 2[pF], C2 = 0.2[pF]

MOSFETのLengthは全て0.8[um]で固定、Widthは以下の通り

M1, M8, M12, M18 : 3.0[um]	M9 : 9.0[um]	M13 : 4.0[um]
M2, M3, M4, M5, M14, M15 : 4.5[um]	M19 : 12.0[um]	M21 : 1.8[um]
M6, M7, M10, M11, M16, M17 : 1.5[um]	M20 : 18.0[um]	

GUNMA UNIVERSITY TAKAI-LAB



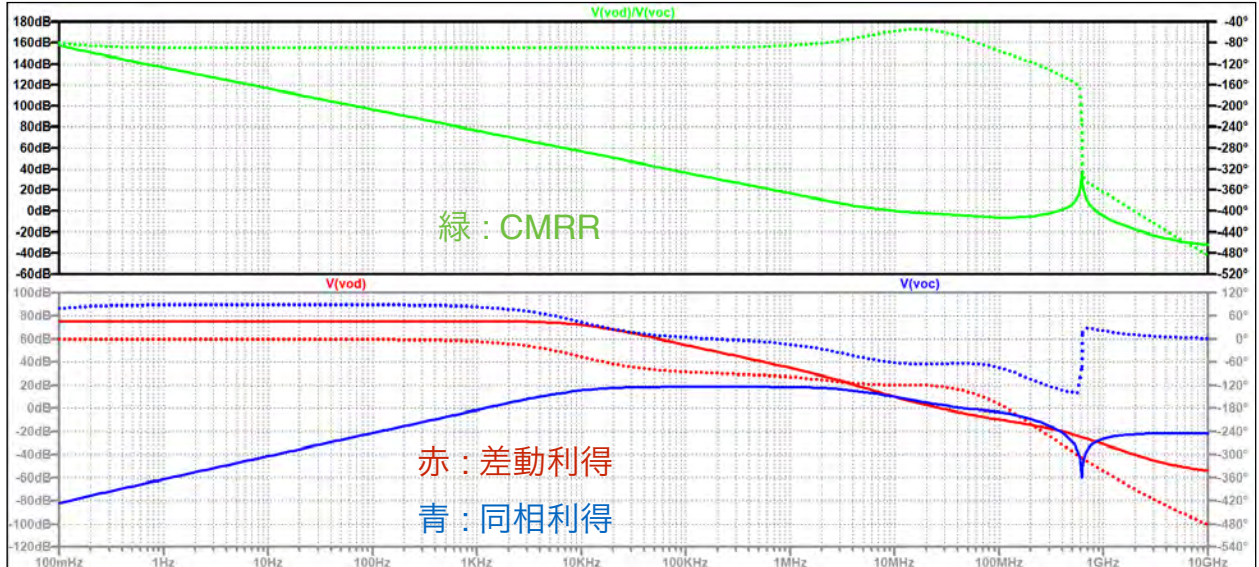
シミュレーション結果

• 同相除去比 (CMRR)

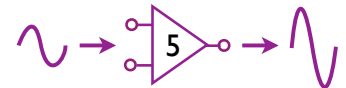
0.1Hz時 CMRR : 157.43[dB]

差動利得 : 75.33[dB]

同相利得 : -82.09[dB]



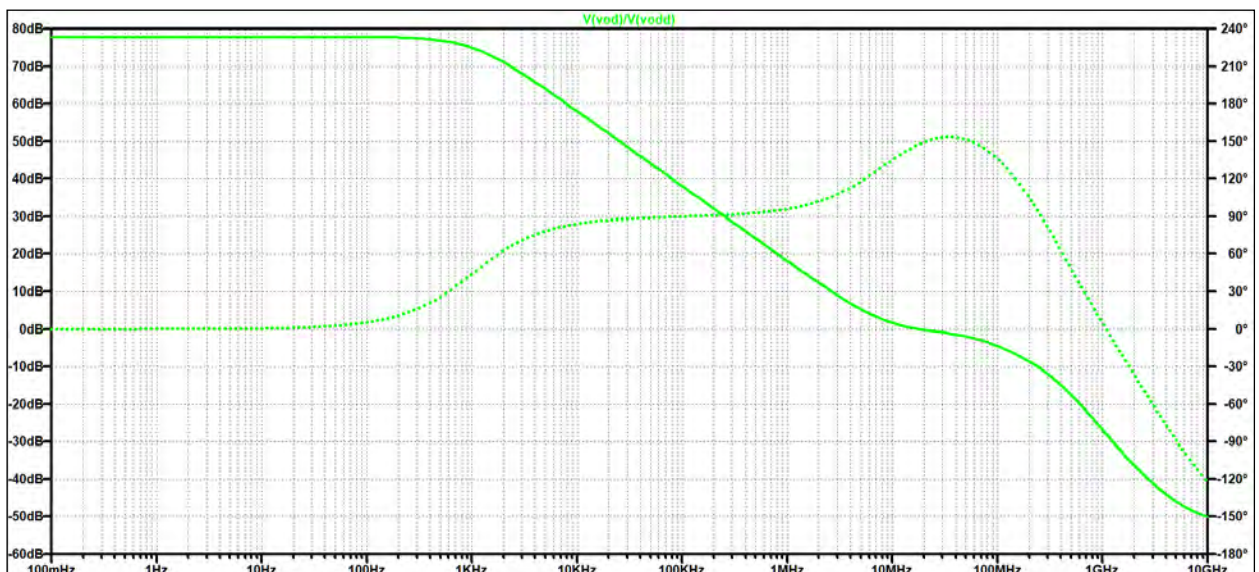
GUNMA UNIVERSITY TAKAI-LAB



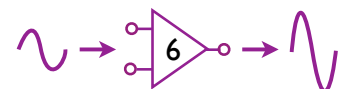
シミュレーション結果

• 電源電圧変動除去比 (PSRR)

0.1Hz時 PSRR : 77.83[dB]



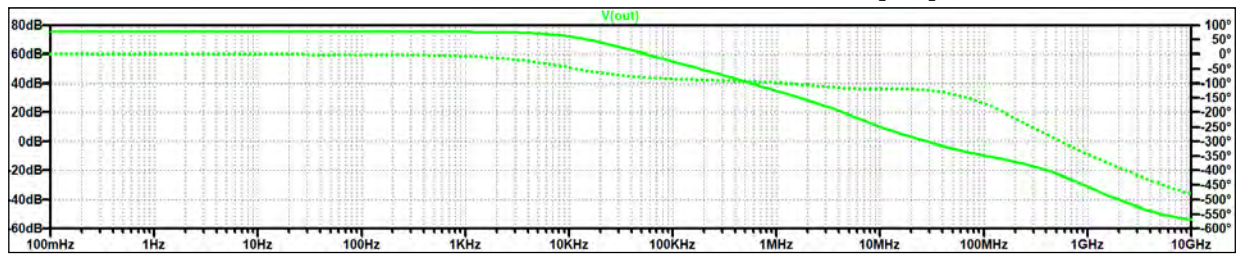
GUNMA UNIVERSITY TAKAI-LAB



シミュレーション結果

• 直流利得

シミュレーションでの直流利得 : 75.33[dB]



シミュレーションでの出力抵抗 : 0.194242[Ω]

```

--- Transfer Function ---
Transfer_function:      1.99932      transfer
v3#Input_impedance:    1e+020      impedance
output_impedance_at_V(out): 0.194242  impedance
    
```

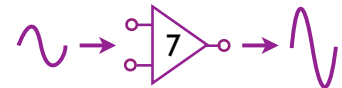


公式ページの便利ツールより算出

実際の直流利得 : 7.5580E+01[dB]

実際の出力抵抗 : 5.8394E+02[Ω]

GUNMA UNIVERSITY TAKAI-LAB

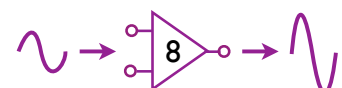


部門3 スコア

項目	評価値
電源電圧変動除去比	7.7784E+01
同相除去比	1.7755E+02
直流利得	7.5540E+01
電源電圧	2.8000E+00
スコア	5.8283E+04

- 設計方針通り、CMRRを大きくすることができた
- ◎ (with arrow pointing to 同相除去比)
- × (with arrow pointing to 直流利得)
- 直流利得が大きくなってしまい、スコアが伸び悩んでしまった

GUNMA UNIVERSITY TAKAI-LAB

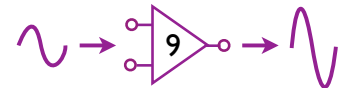


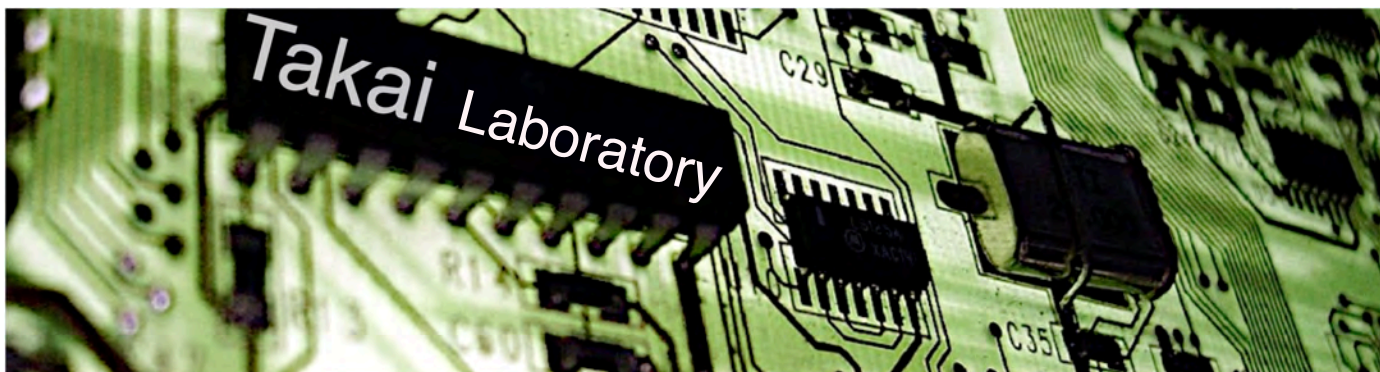
感想

- 自分自身で回路設計を行うことが初めてだったので、回路構成や素子値決定の難しさを体験することができました。
- 来年度は今年の実験を生かし、より良い結果を残せるよう努力したいと思います。

謝辞

演算増幅器設計コンテスト運営の方々
協賛企業の方々、審査員の方々
このような大変貴重な機会を設けていただき、
心より感謝申し上げます。





演算増幅器コンテスト シミュレーションの部

群馬大学 修士1年

新井 信吾

部門1 3位

1

評価式とポイント

部門1 評価式

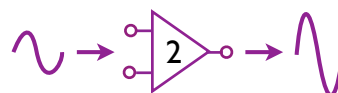
$$\frac{\text{スルーレート [V/s]} \cdot \text{同相入力範囲 [\%]} \cdot \text{直流利得 [dB]}}{\text{消費電流 [A]}}$$

ポイント

直流利得と同相入力範囲では差がつきにくい



スルーレートと消費電流で勝負する



設計方針

設計方針

▶スルーレート向上



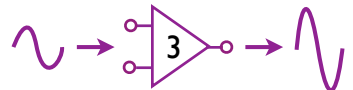
Lの値を全て最小値で統一
位相補償コンデンサを最小値を使用

▶消費電流削減

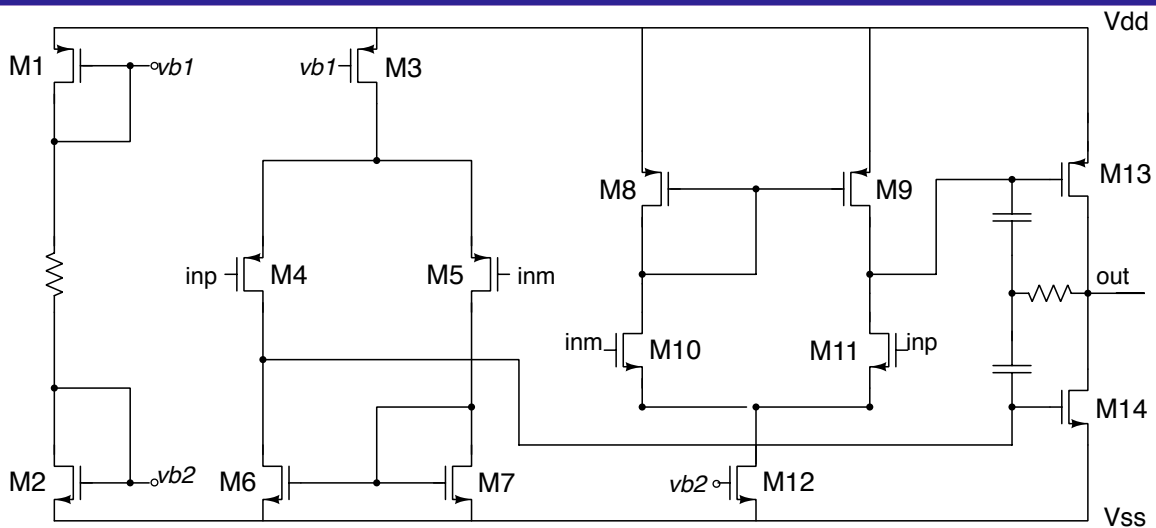


プッシュプル回路構成
バイアス段の消費電流をできるだけ小さく

GUNMA UNIVERSITY TAKAI-LAB

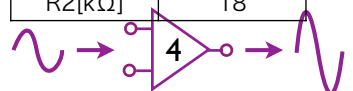


提出回路



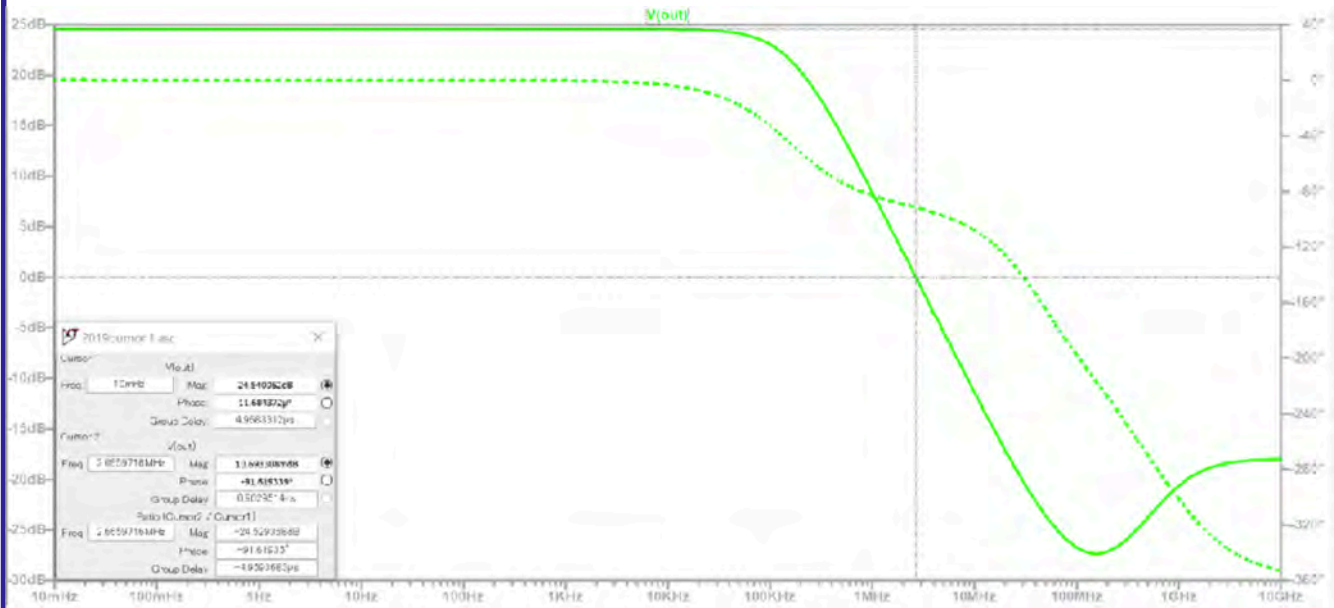
MOSFET	M1	M2	M3	M4	M5	M6	M7	M8
L[um]	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18
W[um]	1.8	1.8	1.8	0.9	0.9	0.9	0.9	0.9
M	1	1	11	5	5	2	2	5
MOSFET	M9	M10	M11	M12	M13	M14	C1[fF]	100
L[um]	0.18	0.18	0.18	0.18	0.18	0.18	C2[fF]	100
W[um]	0.9	0.9	0.9	1.8	0.9	0.9	R1[kΩ]	99000
M	5	5	2	2	30	2	R2[kΩ]	18

GUNMA UNIVERSITY TAKAI-LAB



シミュレーション結果

AC解析



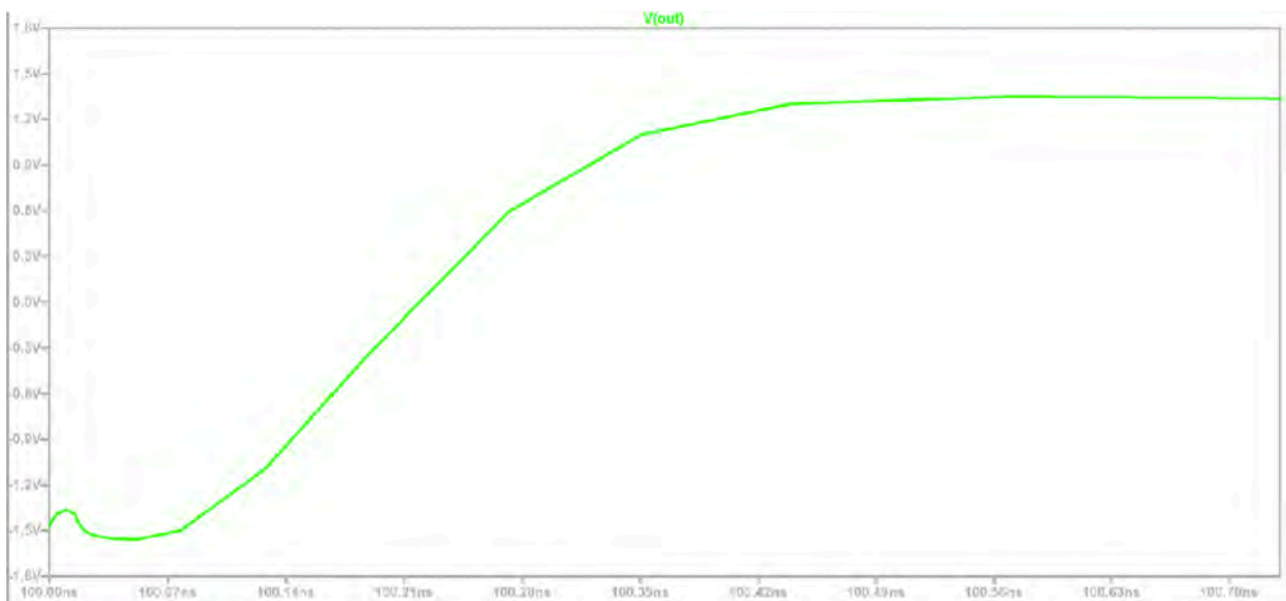
直流利得:24.5[dB]

位相余裕:88.4[deg]

GUNMA UNIVERSITY TAKAI-LAB

シミュレーション結果

スルーレート



スルーレート : 4.2934E+09[V/s]

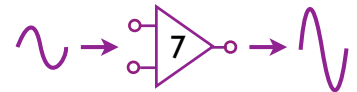
GUNMA UNIVERSITY TAKAI-LAB

スコア

▶ 評価値

項目	評価値
スルーレート	4.2934E+09
消費電流	1.1466E-06
同相入力範囲	1.0000E+02
直流利得	6.4648E+01
スコア	2.4207E+19

GUNMA UNIVERSITY TAKAI-LAB



まとめ

▶ 良かった点

狙い通りスルーレートと消費電流を下げることで入賞することができた

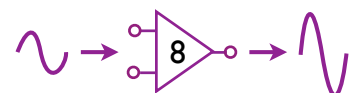
▶ 改善点

もう少し実機でも運用できる素子値決定をしたい



部門4にも積極的に参加して理解を深めたい

GUNMA UNIVERSITY TAKAI-LAB

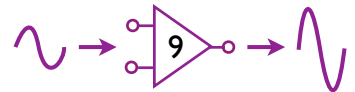


最後に

このコンテストに参加して楽しく回路設計をすることができ
知識の向上と今後のモチベーションに繋がりました

このような貴重な機会を与えてくださった協賛企業の皆さま
運営の皆さまに深く感謝を申し上げます

GUNMA UNIVERSITY TAKAI-LAB





演算増幅器設計コンテスト

部門 1 2 位

群馬大学
修士 1 年 猿田将大

1

設計方針

評価式

$$\text{評価値} = \frac{\text{スルーレート [V/s]} \times \text{同相入力範囲 [\%]} \times \text{直流利得 [dB]}}{\text{消費電流 [A]}}$$

部門 1 はスルーレートと消費電流で差がつく (重要!!)

設計方針

- 高スルーレート・低消費電流



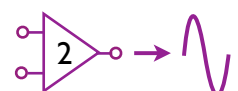
Rail to Rail 回路

- ・ 無信号時の消費電流を抑える
- ・ 信号入力時、電流増加 (高スルーレート)

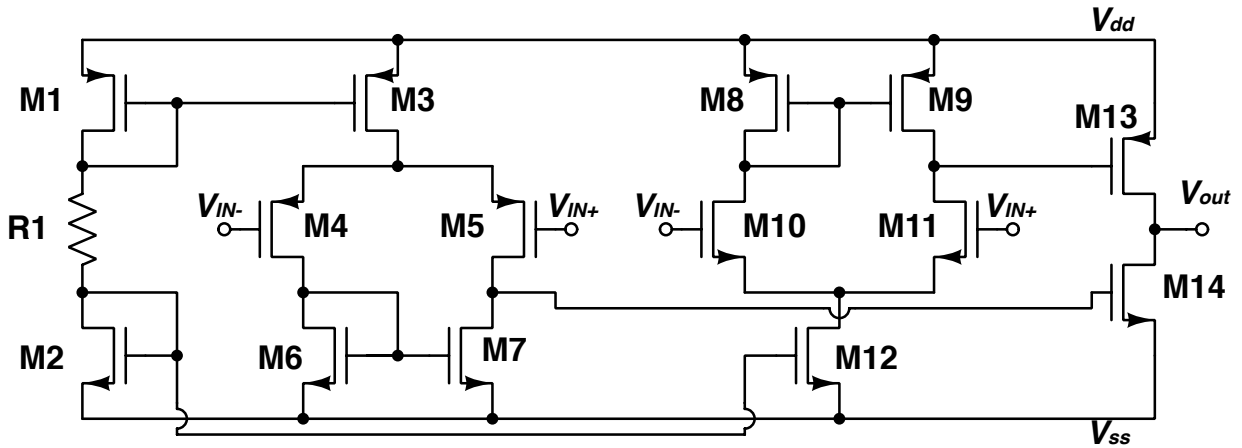
- 同相入力範囲を 100% に



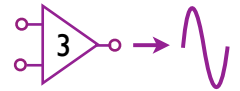
カスコードを使用しない



提出回路

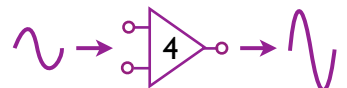
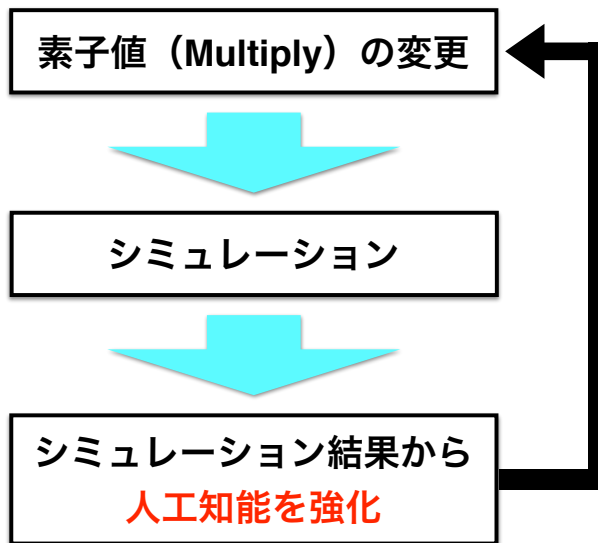


$V_{dd} = 1.5$ [V] バルク pmos : V_{dd}
 $V_{ss} = -1.5$ [V] noms : V_{ss}

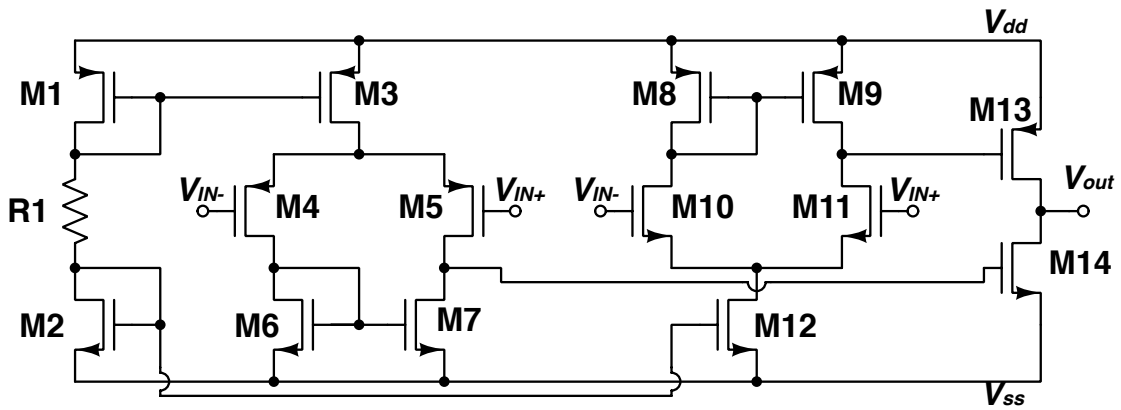


設計方法

素子値を Q-Learning (人工知能) で決定



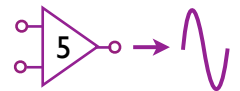
提出回路 素子値



	M1	M2	M3	M4, M5	M6, M7	M8, M9	M10, M11	M12	M13	M14
L [μm]	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18	0.18
W [μm]	3.0	1.0	3.0	3.0	1.0	3.0	1.0	1.0	3.0	1.0
M	10	11	30	1	3	2	2	55	1	2

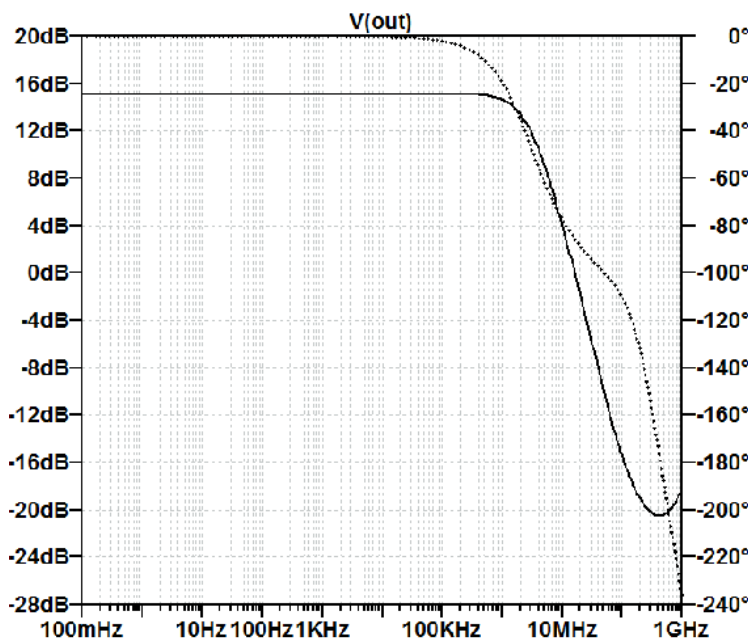
	R1
Resistor [$\text{M}\Omega$]	40

設計時間：24時間



シミュレーション結果

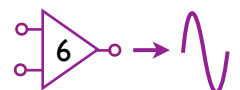
AC解析結果



直流利得：15.1 [dB]
位相余裕：94.6 [deg]

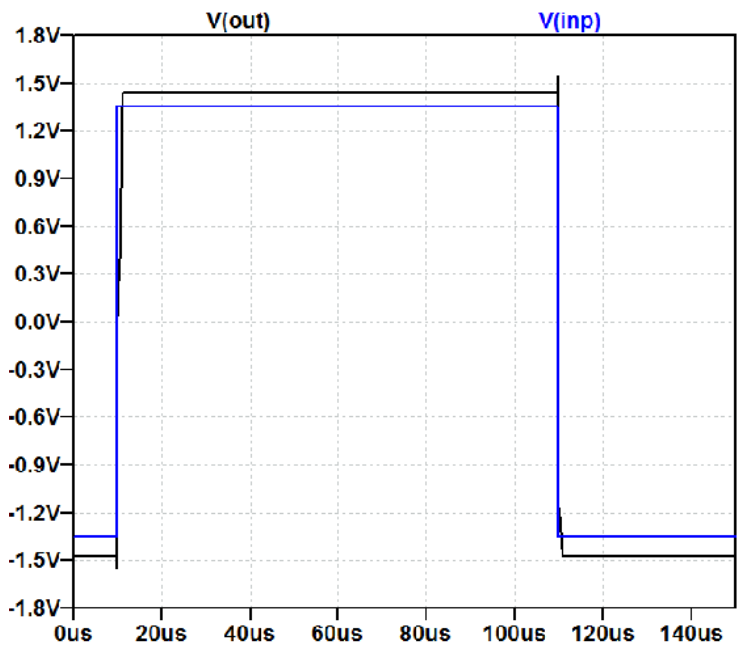
補正計算

直流利得：63 [dB]



シミュレーション結果

スルーレート

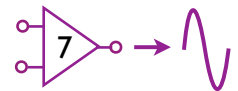


立ち上がり

$9.988e+9 \text{ V/s}$

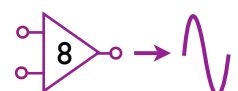
立ち下がり

$2.010e+10 \text{ V/s}$



部門 1 評価結果

項目	評価
スルーレート	$2.1288e+10 \text{ [V/s]}$
消費電流	$1.0611E-06 \text{ [A]}$
同相入力範囲	100 [%]
直流利得	79.285 [dB]
スコア	$1.5906E+20$

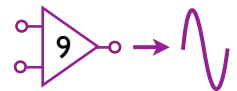


感想

- 人工知能を使用して1位になれなかったのは悔やまれます
- 本コンテストに参加したことにより、自動設計システムの改善点などが多々確認できた

謝辞

演算増幅器設計コンテスト運営の皆様
協賛企業の皆様
厚く感謝申し上げます



2019.12.20

演算増幅器設計コンテスト シミュレーションの部

第1部門 4位 第3部門 6位
第2部門 1位

愛知工業大学 工学研究科

電気電子工学専攻 光量子デバイス研究室

修士2年 伊藤 裕也

目次

- ▶ はじめに(1-4)
 - 目標
 - 評価式
 - 設計方針
- ▶ 提出回路(10-15)
 - 回路図
 - シミュレーション結果
 - スコア
- ▶ 不採用案回路(5-9)
 - 回路図
 - スコア
 - シミュレーション結果
 - 問題点
- ▶ まとめ(16-17)

はじめに

目標

- 去年は2位があったものの、1位は取ることができなかった
⇒今年は最後の参加となるので何としてでも1位を取る
- 3年目の参加となる部門2はベストスコアを目指す

設計する条件

- なるべく実機で動作しそくない無茶な回路は設計しない
- 根拠のない回路は設計しない

1/17

部門2 評価式

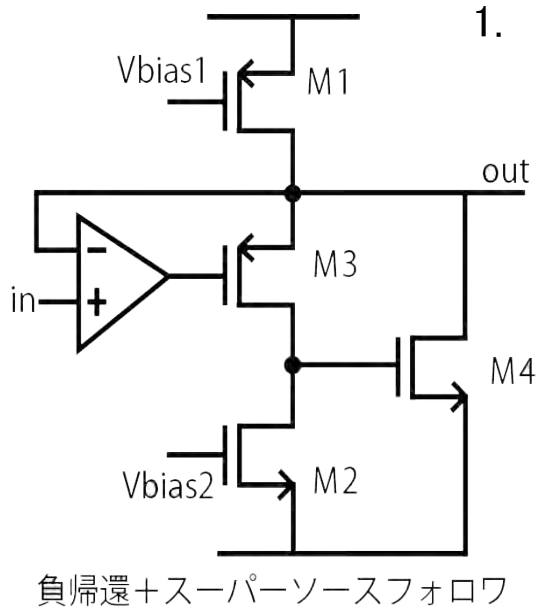
利得帯域幅積 × 位相余裕

$\frac{\text{利得帯域幅積} \times \text{位相余裕}}{\text{消費電力}^2 \times \text{出力抵抗} \times \text{入力換算雑音}}$

1. 出力抵抗0.1Ωは必須
⇒負帰還+スーパーソースフォロワを使う
2. 利得帯域幅積と位相余裕はトレードオフ
⇒主要極と第2極の位置を意識
3. 消費電力は2乗で効いてくる
⇒なるべく低電圧で設計する

2/17

部門2 設計方針



1. 出力抵抗を下げる

⇒負帰還+スーパーソースフォロワ

SSFの出力抵抗

$$R_{out} \doteq \frac{1}{g_{m3}g_{m4}r_{o3}}$$

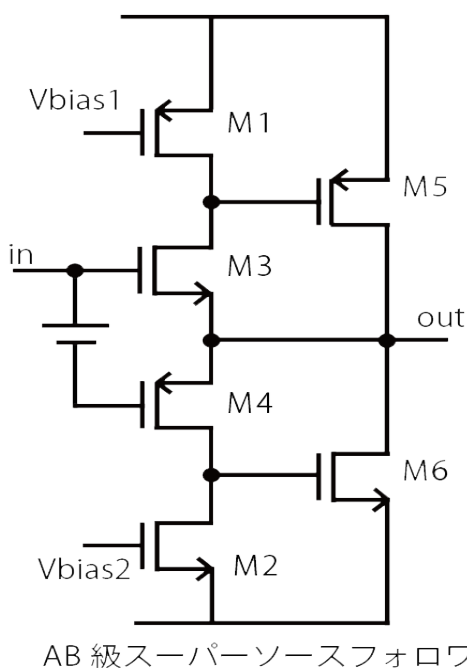
増幅器の利得A倍出力抵抗を下げる

SSF+負帰還の出力抵抗

$$R_{out} \doteq \frac{1}{Ag_{m3}g_{m4}r_{o3}}$$

3/17

部門2 設計方針



2. 第2極の広帯域化

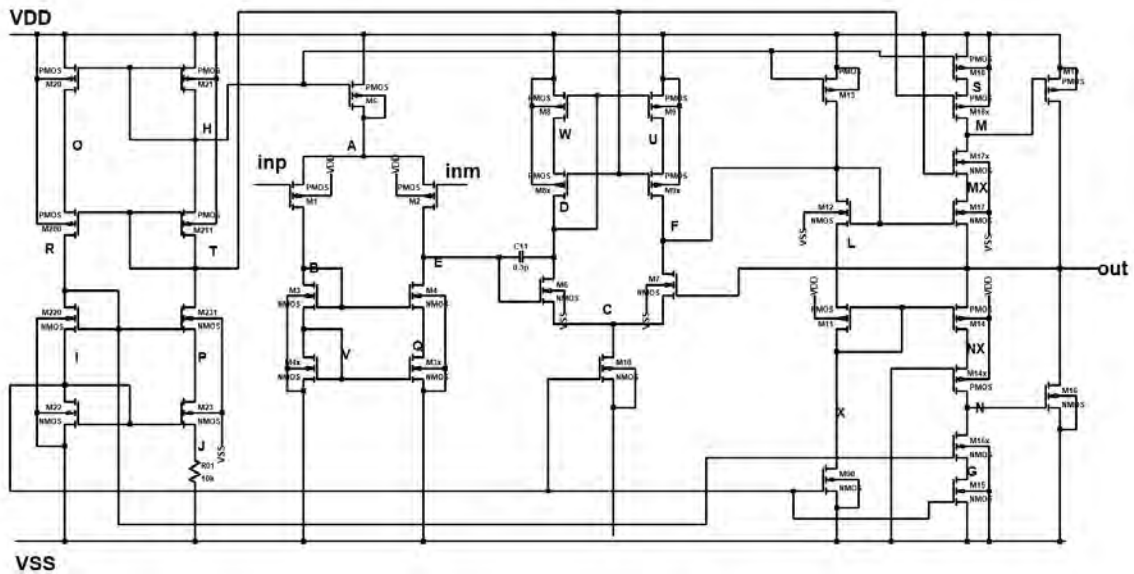
第2極は出力に発生するので出力段のgmを上げることで第2極を広域にすることができる

⇒しかし、出力段のgmが増加すると消費電流が大きくなりやすい

出力段の構成をプッシュプルにすることでgmを上げて消費電流を小さくなる！

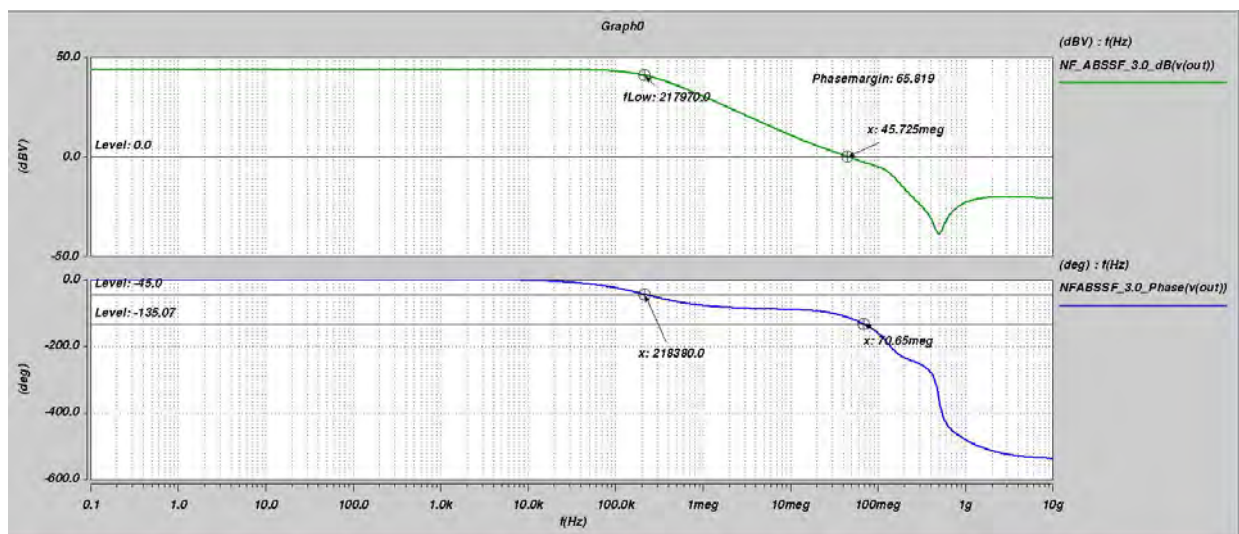
4/17

不採用案回路 - 回路図



NMOSバルク: VSS VDD = 1.5V
 PMOSバルク: VDD VSS = -1.5V

不採用案回路の直流利得



主要極: 217.70[kHz] 第2極: 70.65[MHz]
 位相余裕: 65.82[°] 利得帯域幅積: 45.73[MHz]

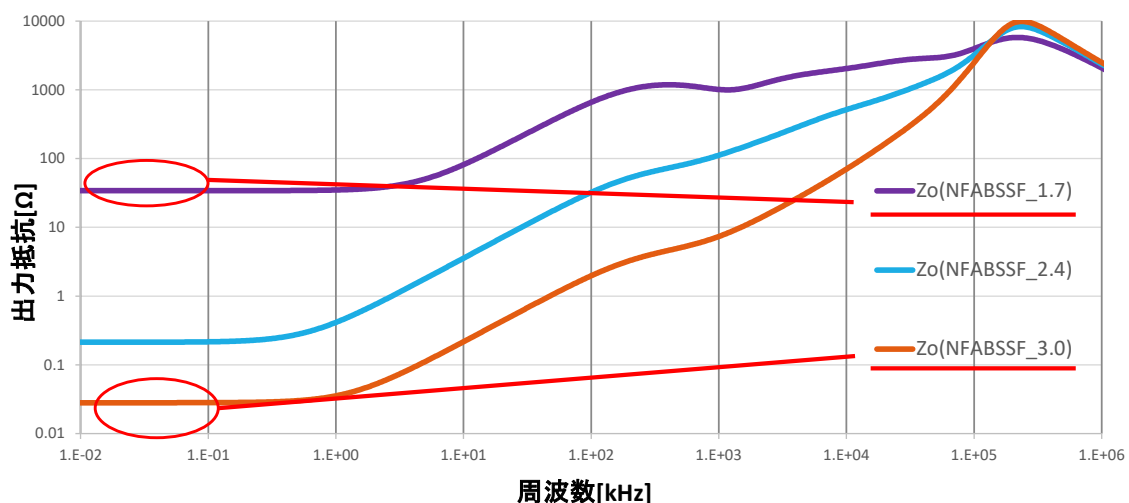
不採用案回路 - スコア

	不採用案回路
消費電力[W]	2.1975e-04
出力抵抗[Ω]	1.0000e-01
入力換算雑音[V]	2.6565e-03
利得帯域幅積[Hz]	4.5725e+07
位相余裕[°]	6.5820e+01
スコア	2.3464e+20

出力抵抗0.1 Ωを達成したが消費電力が多い
⇒低電源電圧で設計する

7/17

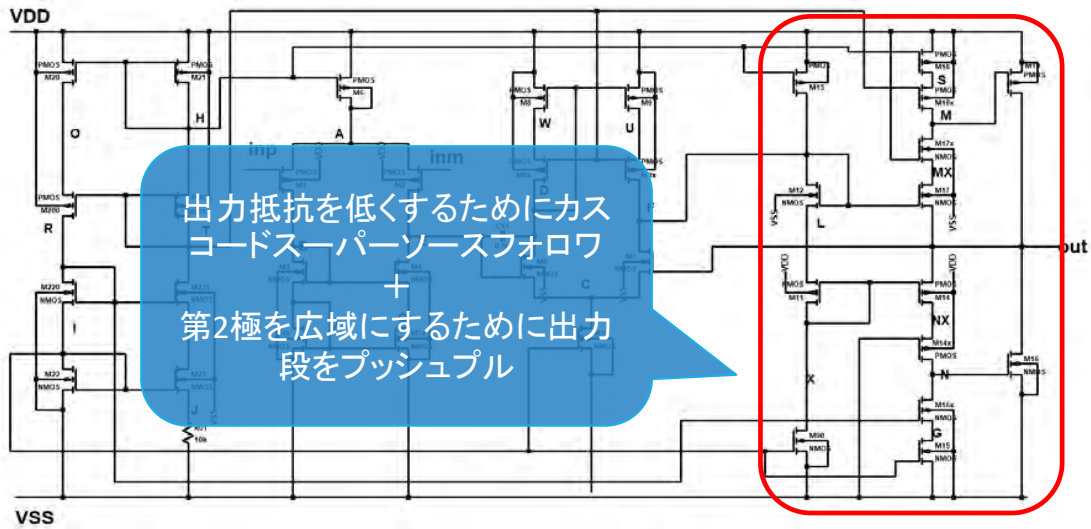
不採用案回路 - 出力抵抗特性



出力抵抗特性を見ると低電源電圧時では出力抵抗が大きい

8/17

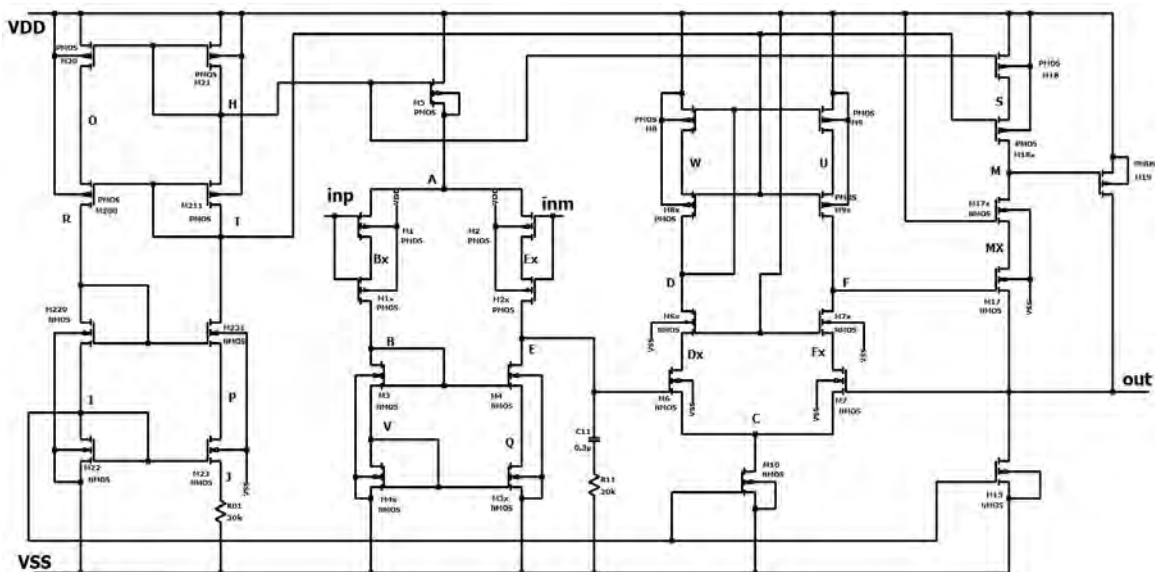
不採用案回路 - 問題点



結果的に出力段が8段になった
⇒低電圧動作では不利

9/17

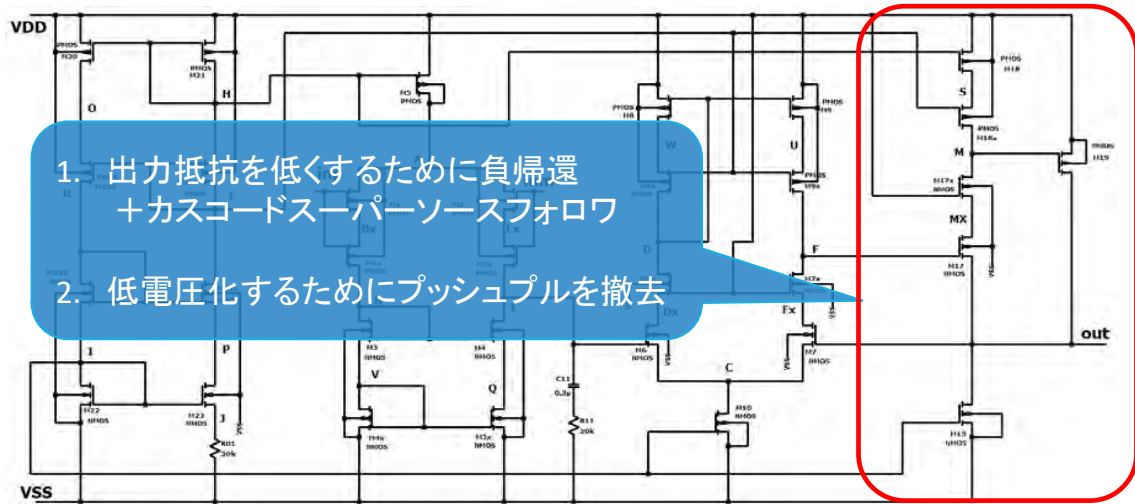
部門2 提出回路 - 構成



VDD = 0.85V NMOSバルク:VSS
VSS = -0.85V PMOSバルク:VDD

10/17

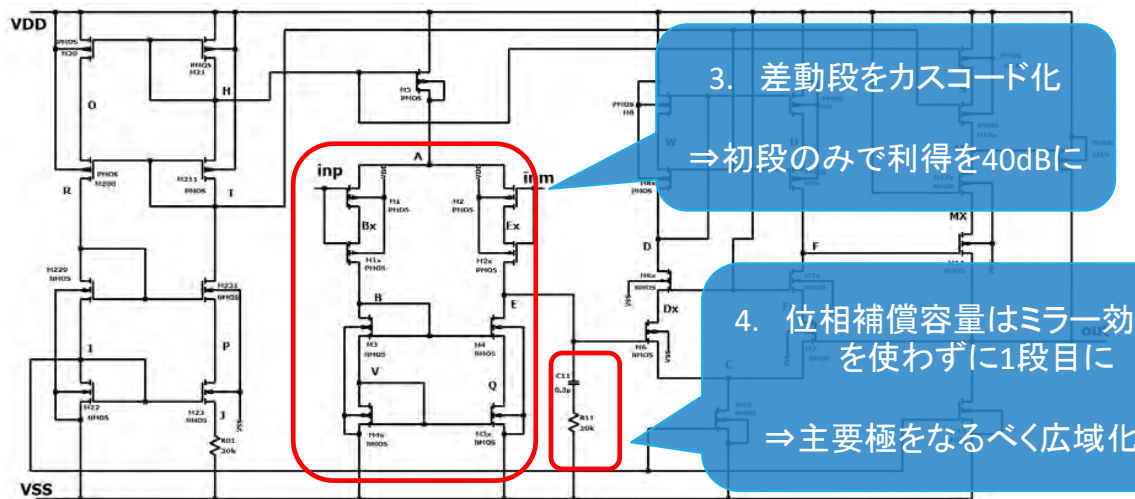
部門2 提出回路 -構成



PMOS: L=1.00um, W=34.6um(M1,2)	NMOS: L=0.50um, W=1.40um(M3,4)	L=3.00um, W=13.19um(M15,15x)	C : C11 = 0.2pF
L=1.00um, W=8.08um(M5)	L=2.00um, W=5.60um(M3x,4x)	L=4.00um, W=6.60um(M16)	R : R01 = 20kΩ
L=0.25um, W=1.09um(M8,9,8x,9x)	L=0.50um, W=31.4um(M6,7)	L=0.25um, W=6.60um(M17,17x)	R11 = 30kΩ
L=0.50um, W=6.60um(M11)	L=2.00um, W=13.19um(M10)	L=1.00um, W=1.88um(M22,220)	
L=2.00um, W=13.20um(M13,18,18x)	L=0.50um, W=6.60um(M12)	L=1.00um, W=7.46um(M23,231)	
L=0.25um, W=6.60um(M14,14x)	L=3.20um, W=6.60um(M00)		
L=4.00um, W=6.60um(M16)			
L=1.00um, W=4.04um(M20,21,220,231)			

11/17

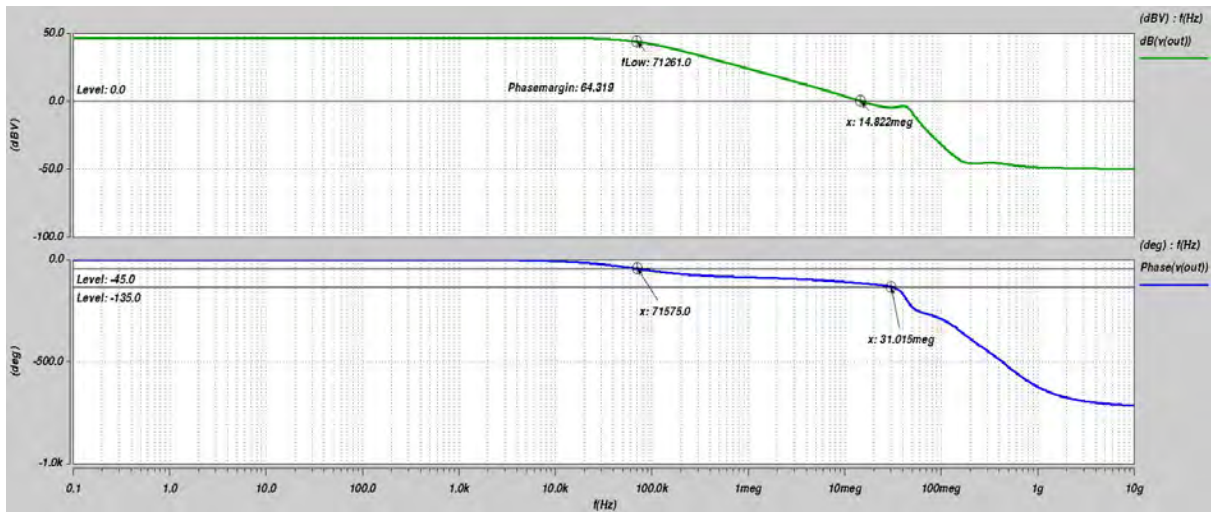
部門2 提出回路 -構成



PMOS: L=1.00um, W=34.6um(M1,2)	NMOS: L=0.50um, W=1.40um(M3,4)	L=3.00um, W=13.19um(M15,15x)	C : C11 = 0.2pF
L=1.00um, W=8.08um(M5)	L=2.00um, W=5.60um(M3x,4x)	L=4.00um, W=6.60um(M16)	R : R01 = 20kΩ
L=0.25um, W=1.09um(M8,9,8x,9x)	L=0.50um, W=31.4um(M6,7)	L=0.25um, W=6.60um(M17,17x)	R11 = 30kΩ
L=0.50um, W=6.60um(M11)	L=2.00um, W=13.19um(M10)	L=1.00um, W=1.88um(M22,220)	
L=2.00um, W=13.20um(M13,18,18x)	L=0.50um, W=6.60um(M12)	L=1.00um, W=7.46um(M23,231)	
L=0.25um, W=6.60um(M14,14x)	L=3.20um, W=6.60um(M00)		
L=4.00um, W=6.60um(M16)			
L=1.00um, W=4.04um(M20,21,220,231)			

12/17

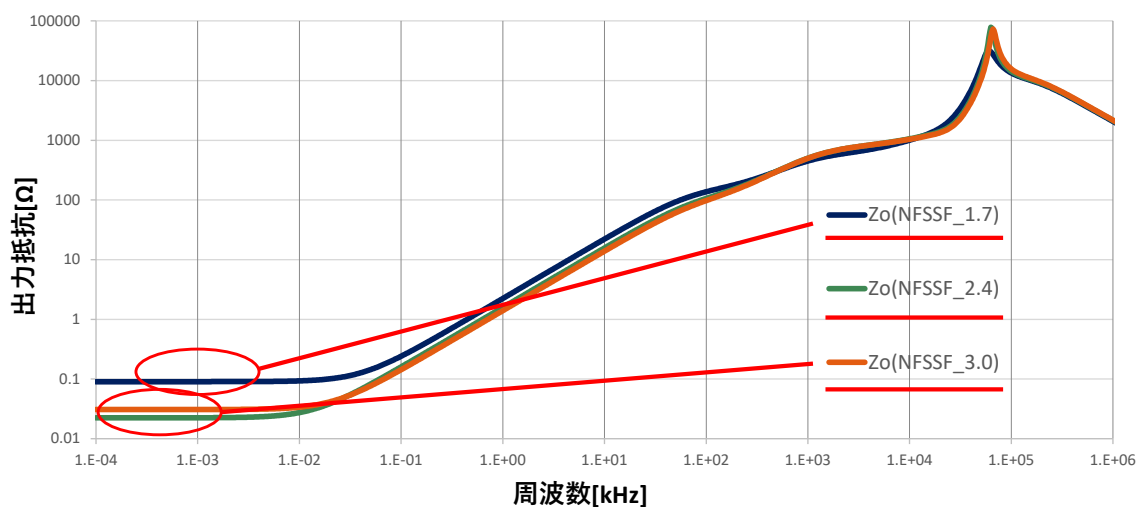
提出回路の直流利得



主要極: 71.58[kHz] 第2極: 31.02[MHz]
 位相余裕: 64.32[°] 利得帯域幅積: 14.82[MHz]

13/17

提出回路の出力抵抗特性



電源電圧1.7Vにおいても出力抵抗0.1 Ωを達成

14/17

提出回路 - スコア

	不採用案回路	提出回路
消費電力[W]	2.1975e-04	3.8032e-05
出力抵抗[Ω]	1.0000e-01	1.0000e-01
入力換算雑音[V]	2.6565e-03	2.8529e-03
利得帯域幅積[Hz]	4.5725e+07	1.4048e+07
位相余裕[°]	6.5820e+01	6.0636e+01
スコア	2.3464e+20	2.0642e+21

出力抵抗0.1 Ωを達成しつつ消費電力を落とすことに成功
 ⇒反面、利得帯域幅と位相余裕のトレードオフは減少

15/17

部門2 - まとめ

1. 部門2の必須である出力抵抗0.1 Ω
 ⇒負帰還+スーパーソースフォロワを使用
2. 位相余裕と利得帯域幅積の強化にプッシュプル構成
 ⇒位相余裕と利得帯域幅積の改善が見られたがカスコードの段数が問題となり断念

16/17

感想

- 最後の参加である今年に1位が取れて良かった。
- 参加するたびに回路に対する新しい気づきや難しさを感じることができるので後輩にはぜひ参加してほしい。

演算増幅器設計コンテストの運営にかかわる皆様
並びに協賛企業の皆様に
厚くお礼申し上げます。



演算増幅器設計コンテスト シミュレーションの部

部門1：1位 部門2：2位
部門3：1位 部門4：1位

2019年12月20日(金)

東京理科大学 理工学研究科
電気工学専攻 兵庫研究室

小高孔頌

Tokyo University of Science **HYOGO Lab.**



部門1の評価項目

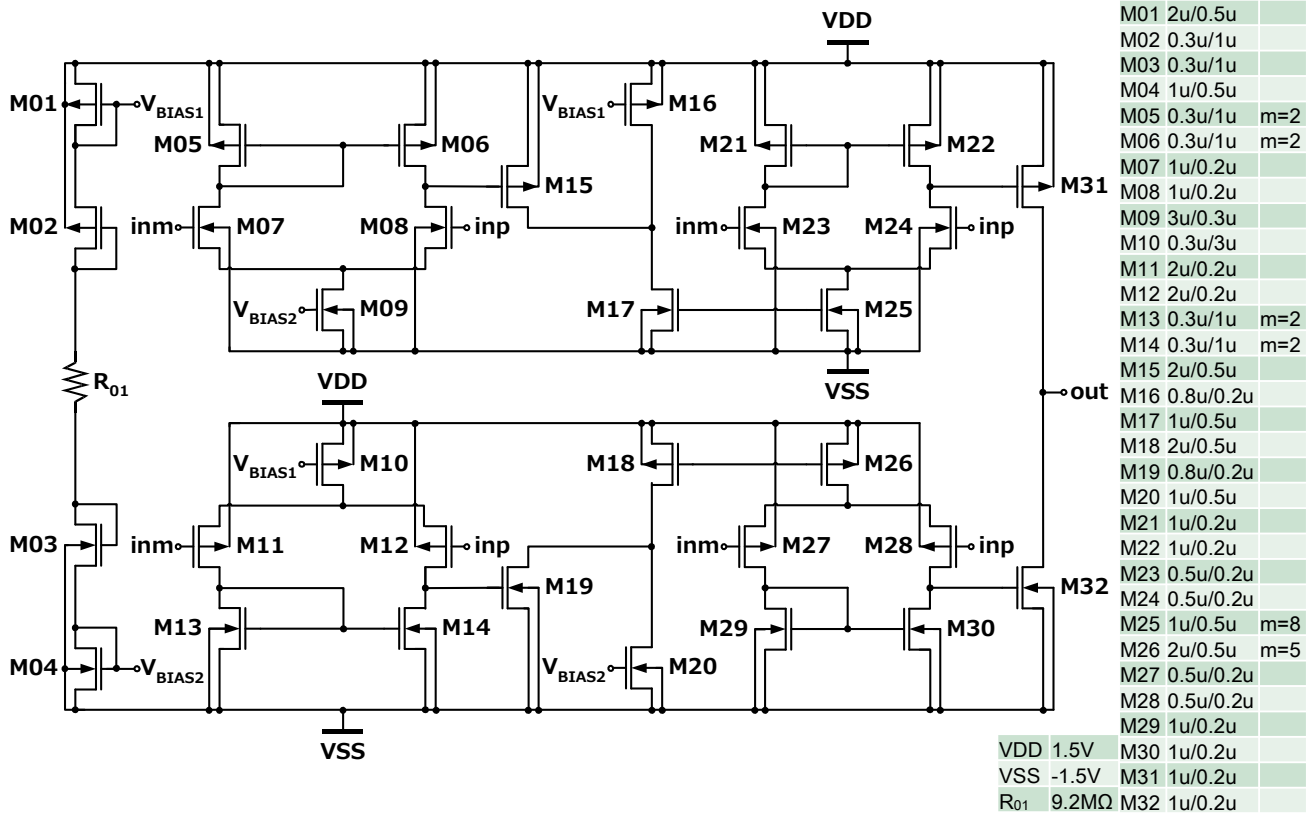
- 評価式

$$\frac{\text{スルーレート}[V/s] \times \text{同相入力範囲}[\%] \times \text{直流利得}[dB]}{\text{消費電流}[A]}$$

- 設計方針

- 同相入力範囲→100%
- 直流利得→伸ばしてもスコアにつながりにくいので意識しない
- スルーレートと消費電流のトレードオフを緩和する回路を設計

部門 1 の回路図

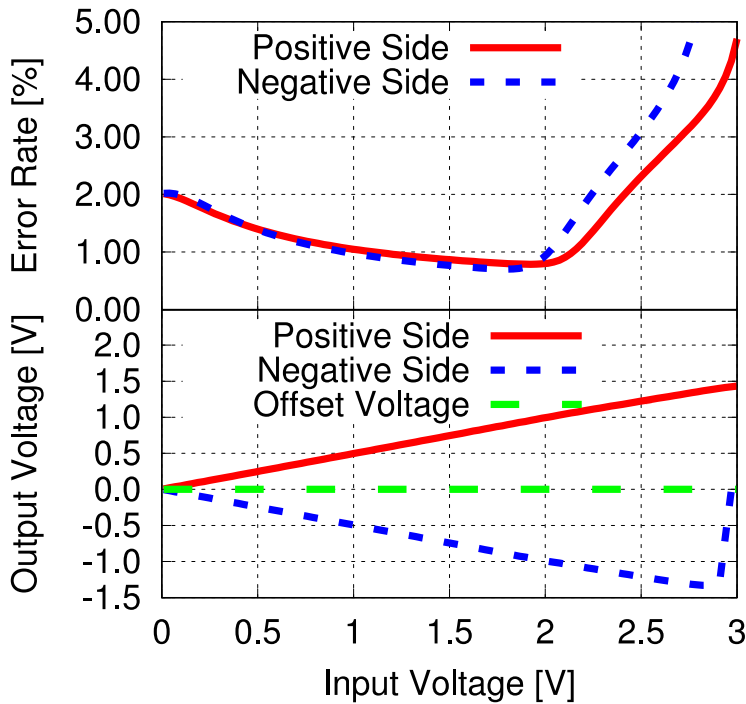


消費電流

	VDD×0.9	VDD	VDD×1.1
-40°C	1.091 uA	1.543 uA	2.108 uA
25°C	1.279 uA	1.717 uA	2.243 uA
80°C	1.415 uA	1.835 uA	2.329 uA

- 電源電圧を±10%変動
- 温度を-40°C, 25°C, 80°Cに変動
- VDD, 25°Cにおける値を無信号時の消費電流とする

同相入力範囲



- Error Rate

$$1 - \frac{|V_{out} - V_{os}|}{0.5 \times V_{in}} < 0.05$$

- Positive Side

$$V_{inmax} = 3.000V$$

$$V_{outmax} = 1.500V$$

- Negative Side

$$|V_{inmin}| = 2.782V$$

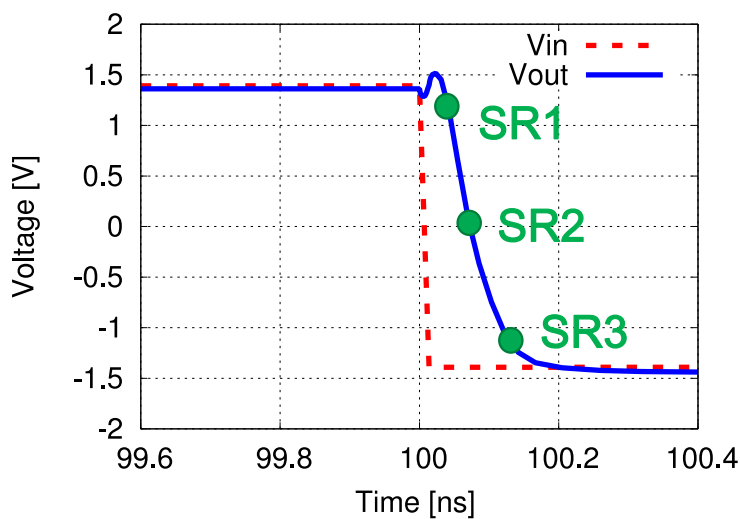
$$V_{outmin} = -1.321V$$

- 同相入力範囲

$$\frac{0.5(V_{inmax} - V_{inmin})}{V_{DD} - V_{SS}} \times 100$$

$$= \underline{96.4\%}$$

スルーレート (立ち下がり)



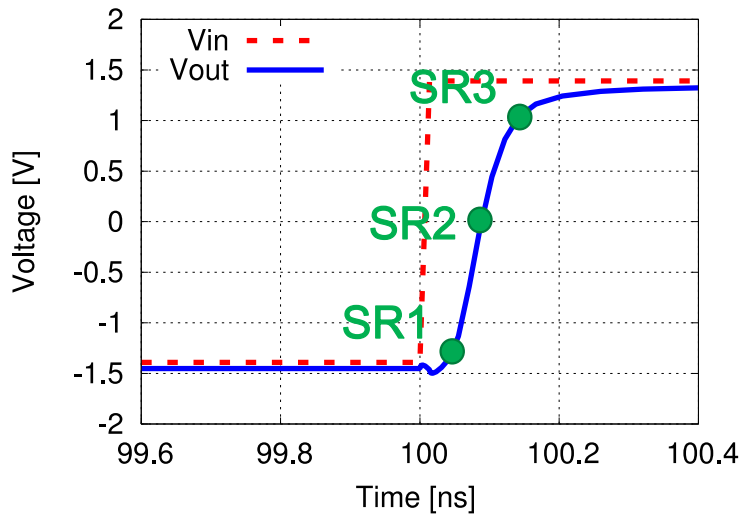
- スルーレートはSR1～SR3における傾きの平均値で評価
(立ち上がりも同様)

- 評価式

$$SR = \frac{SR1 + SR2 + SR3}{3}$$

SR1 [V/s]	SR2 [V/s]	SR3 [V/s]	SR [V/s]
-2.586×10^{10}	-2.823×10^{10}	No data	-2.705×10^{10}

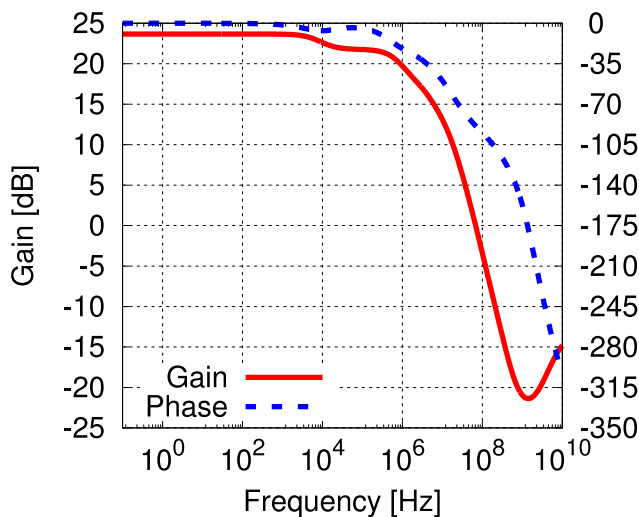
スルーレート (立ち上がり)



- SR (立ち下がり)
 $-2.705 \times 10^{10} V/s$
- SR (立ち上がり)
 $2.341 \times 10^{10} V/s$

SR1 [V/s]	SR2 [V/s]	SR3 [V/s]	SR [V/s]
1.669×10^{10}	3.012×10^{10}	No data	2.341×10^{10}

直流利得



- 位相余裕
 $\theta = 91.22 \text{ deg}$
- 利得帯域幅
 $f = 67.95 \text{ MHz}$

- 直流利得は出力抵抗を用いて値を補正

$$A = \frac{A_{sim}(R_L + r_o)}{R_L}$$

- 直流利得 (シミュレーション)

$$A_{sim} = 23.67 \text{ dB}$$

- 出力抵抗

$$r_o = 2.282 \text{ k}\Omega$$

- 負荷抵抗

$$R_o = 20 \text{ k}\Omega$$

- 直流利得 (補正後)

$$A = 26.37 \text{ dB}$$

部門 1 の結果

項目	評価結果	単位
スルーレート	2.5400e+10	V/s
消費電流	7.3856e-07	A
同相入力範囲	1.0000e+02	%
直流利得	8.3112e+01	dB
スコア	2.8583e+20	

- 全ての項目で高スコアを記録
- 昨年の優勝スコアを上回ることができ満足
- 消費電流を抑えつつ, スルーレートを向上

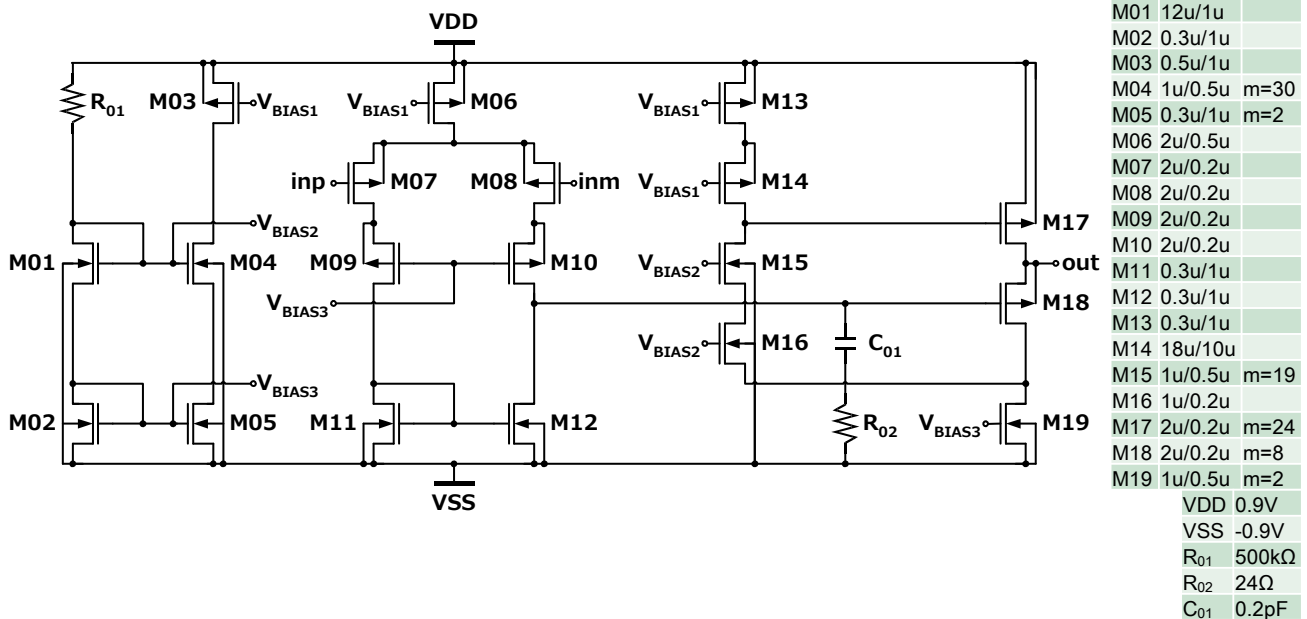
部門 2 の評価項目

- 評価式

$$\frac{\text{利得帯域幅積}[Hz] \times \text{位相余裕}[deg]}{(\text{消費電力}[W])^2 \times \text{出力抵抗}[\Omega] \times \text{入力換算雑音}[V]}$$

- 設計方針

- 出力抵抗→0.1Ω
- 消費電力を低減→電源電圧±0.9V

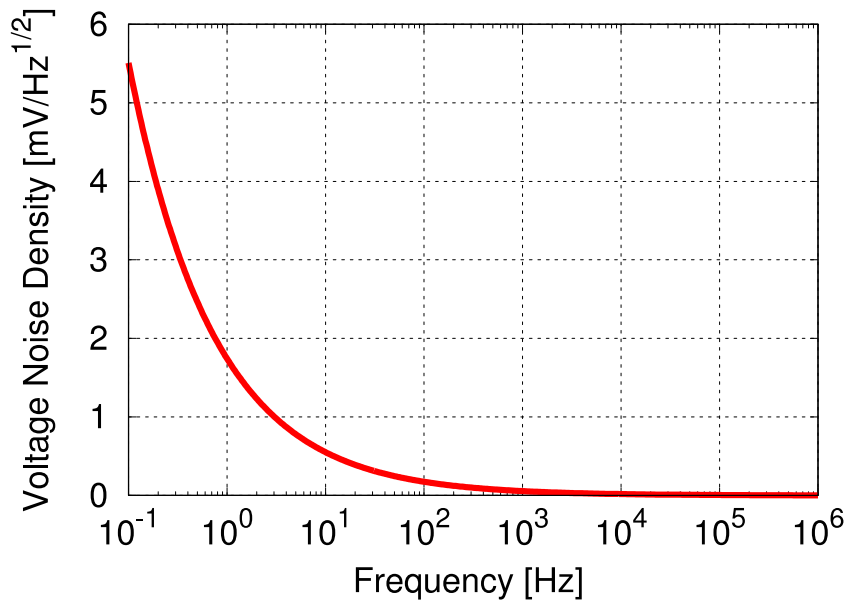


消費電力

	VDD×0.9	VDD	VDD×1.1
-40°C	41.57 uW	61.85 uW	85.90 uW
25°C	41.94 uW	62.58 uW	87.02 uW
80°C	40.98 uW	61.23 uW	85.54 uW

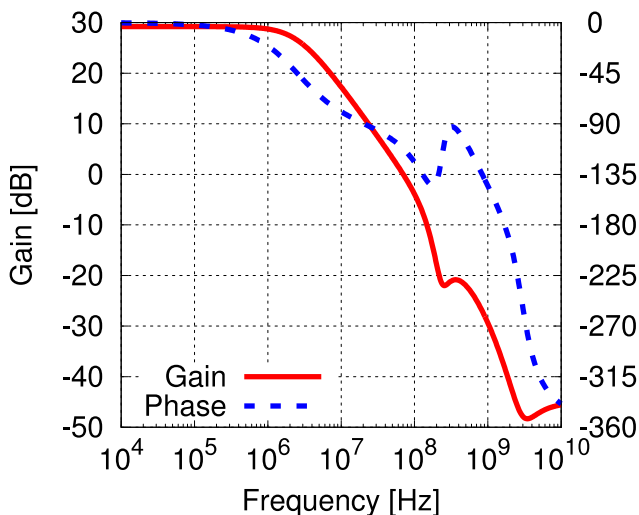
- 電源電圧を±10%変動
- 温度を-40°C, 25°C, 80°Cに変動
- VDD, 25°Cにおける値を無信号時の消費電力とする

入力換算雑音



- 0.1から1MHzまでの電圧雑音密度の積分値
3.097 mV

位相余裕および利得帯域幅



- 位相余裕
 $\theta = 67.75 \text{ deg}$
- 利得帯域幅
 $f = 70.14 \text{ MHz}$

- 直流利得は出力抵抗を用いて値を補正

$$A = \frac{A_{sim}(R_L + r_o)}{R_L}$$

- 直流利得 (シミュレーション)

$$A_{sim} = 29.22 \text{ dB}$$

- 出力抵抗

$$r_o = 0.129 \Omega$$

- 負荷抵抗

$$R_o = 20 \text{ k}\Omega$$

- 直流利得 (補正後)

$$A = 29.22 \text{ dB}$$

部門2の結果

項目	評価結果	単位
消費電力	3.8201e-05	W
出力抵抗	1.1313e-01	Ω
入力換算雑音	9.0560e-03	V
利得帯域幅積	3.2508e+07	Hz
位相余裕	5.6592e+01	deg
スコア	1.2305e+21	

- 出力抵抗を0.1 Ω に限りなく近づけることができた
- 消費電力をもう少し削減したかった
- 全体的にスコアをもう少し伸ばしたかった

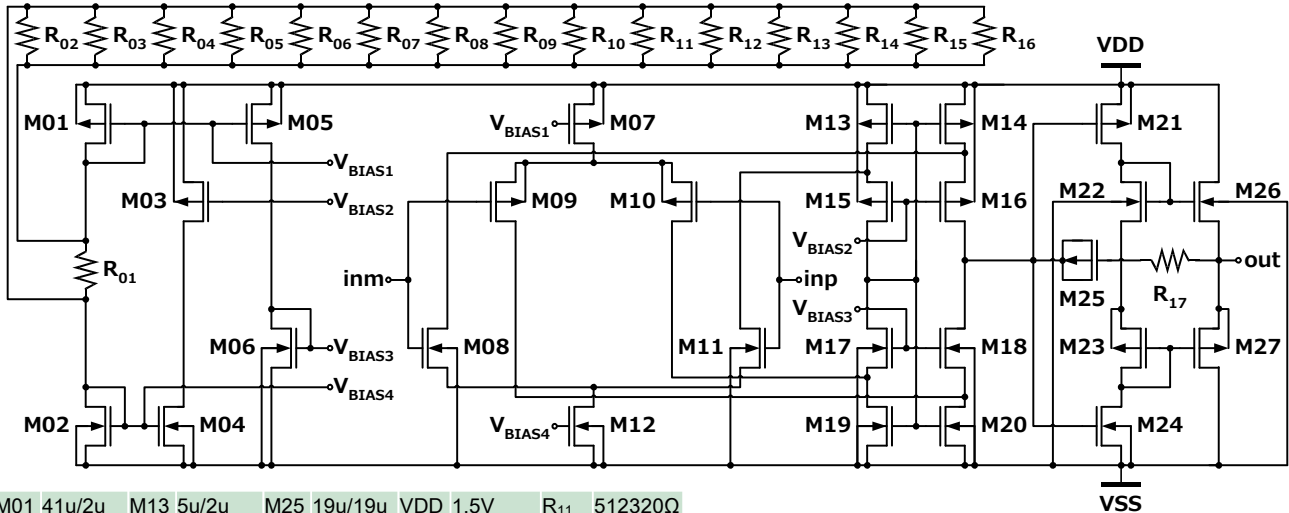
部門3の評価項目

- 評価式

$$\frac{\text{電源電圧変動除去比}[dB] \times \text{同相除去比}[dB]}{(\text{直流利得}[dB])^2 \times \text{電源電圧}[V]}$$

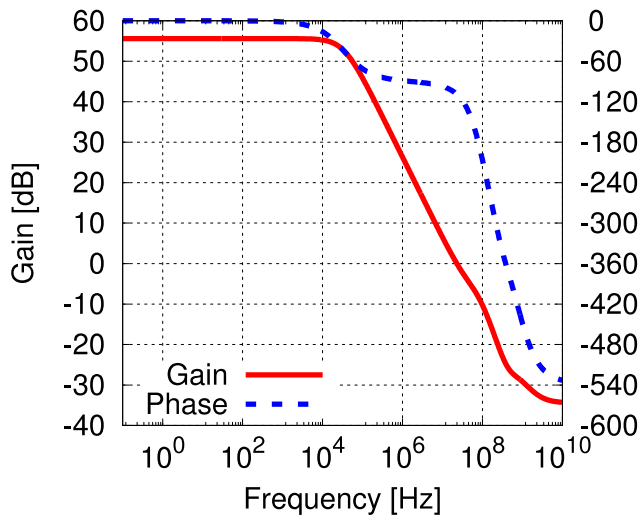
- 設計方針

- 同相除去比を伸ばす
- 出力抵抗を下げることで直流利得を下げる
→ソースフォロワを使用



M01 41u/2u	M13 5u/2u	M25 19u/19u	VDD 1.5V	R11 512320Ω
M02 11u/2u	M14 5u/2u	M26 100u/2u	VSS -1.5V	R12 512320Ω
M03 3.3u/2u	M15 10u/2u	M27 45u/2u	R01 512320Ω	R13 512320Ω
M04 11u/2u	M16 10u/2u		R02 512320Ω	R14 512320Ω
M05 41u/2u	M17 10u/2u		R03 512320Ω	R15 512320Ω
M06 0.76u/2u	M18 10u/2u		R04 512320Ω	R16 511kΩ
M07 41u/2u	M19 5u/2u		R05 512320Ω	R17 3kΩ
M08 10u/2u	M20 5u/2u		R06 512320Ω	
M09 10u/2u	M21 7u/2u		R07 512320Ω	
M10 10u/2u	M22 70u/2u		R08 512320Ω	
M11 10u/2u	M23 50u/2u		R09 512320Ω	
M12 11u/2u	M24 1.4u/2u		R10 512320Ω	

直流利得



- 位相余裕
 $\theta = 56.77 \text{ deg}$
- 利得帯域幅
 $f = 35.66 \text{ MHz}$

- 直流利得は出力抵抗を用いて値を補正

$$A = \frac{A_{sim}(R_L + r_o)}{R_L}$$

- 直流利得 (シミュレーション)

$$A_{sim} = 58.61 \text{ dB}$$

- 出力抵抗

$$r_o = 0.129 \Omega$$

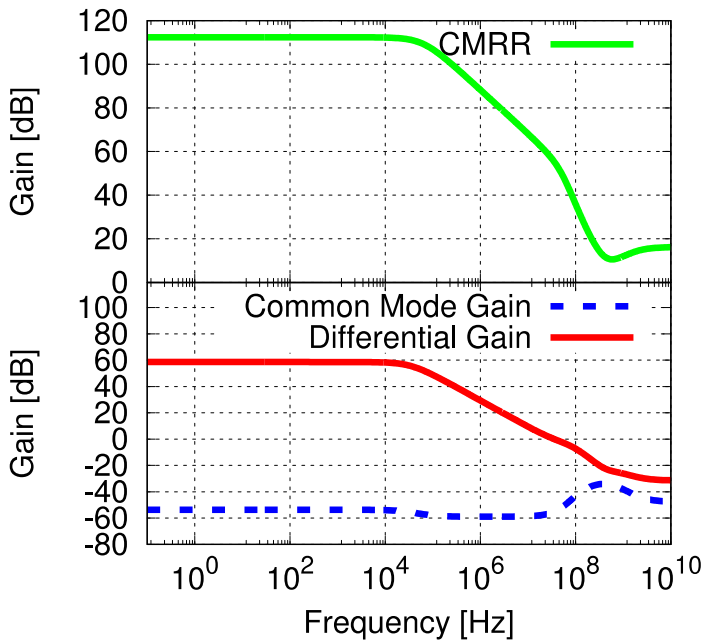
- 負荷抵抗

$$R_o = 20 \text{ k}\Omega$$

- 直流利得 (補正後)

$$A = 58.62 \text{ dB}$$

CMRR



- 差動利得

$$A_{dif} = 58.61 \text{ dB}$$

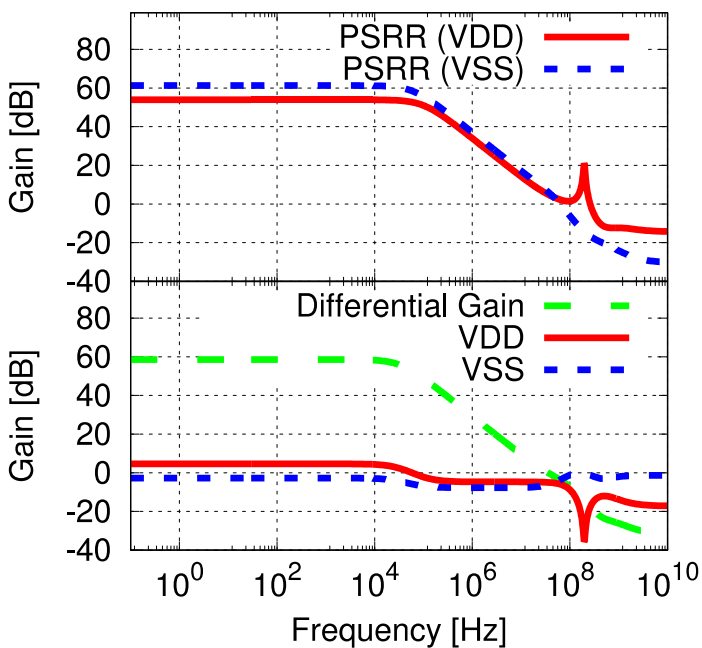
- 同相利得

$$A_{com} = -57.32 \text{ dB}$$

- 同相除去比

$$CMRR = \frac{A_{dif}}{A_{com}} = \underline{112.3 \text{ dB}}$$

PSRR



- VDD変動利得

$$A_{VDD} = 4.636 \text{ dB}$$

- VSS変動利得

$$A_{VSS} = -2.722 \text{ dB}$$

- 差動利得

$$A_{dif} = 58.61 \text{ dB}$$

- PSRR (VDD側)

$$PSRR_{VDD} = \frac{A_{dif}}{A_{VDD}} = 53.97 \text{ dB}$$

- PSRR (VSS側)

$$PSRR_{VSS} = \frac{A_{dif}}{A_{VSS}} = 61.33 \text{ dB}$$

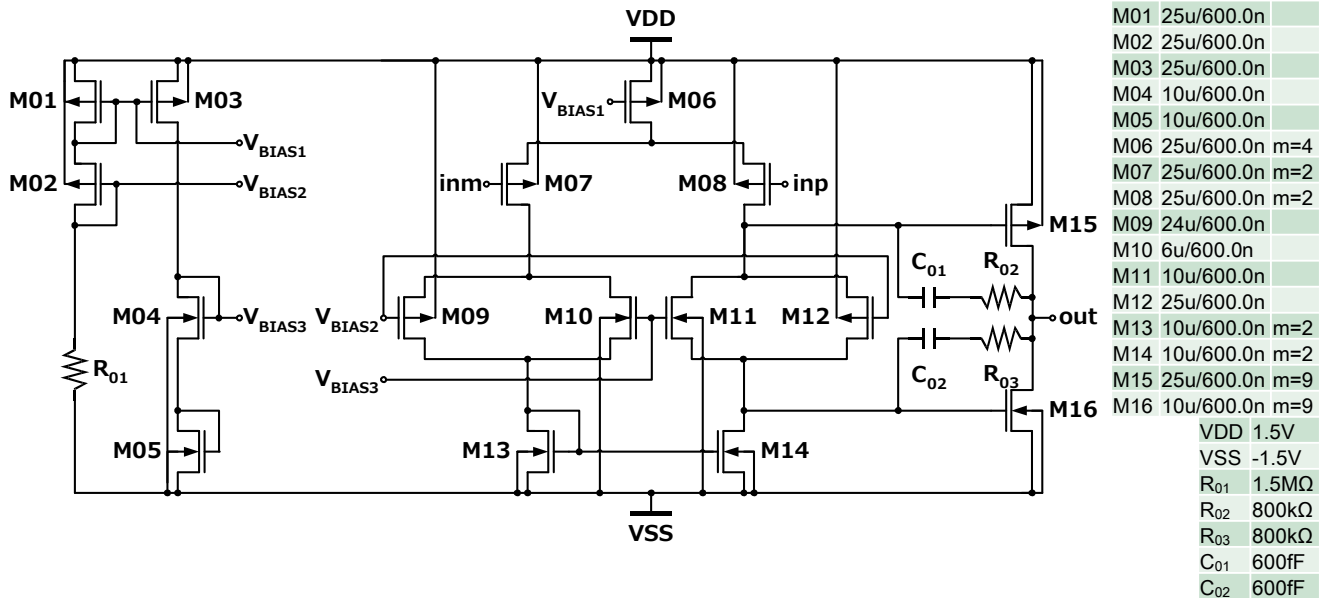
部門 3 の結果

項目	評価結果	単位
電源電圧変動除去比	5.2804e+01	dB
同相除去比	2.2061e+02	dB
直流利得	5.3579e+01	dB
電源電圧	3.0000e+00	V
スコア	6.8498e+07	

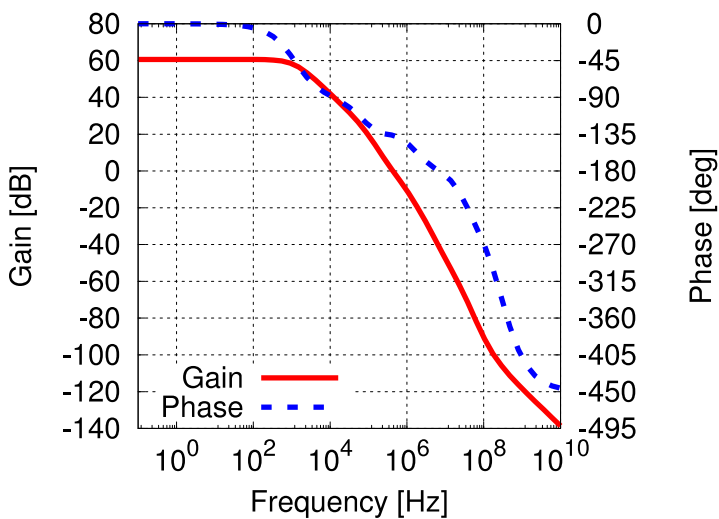
- 同相除去比を伸ばすことができた
- 直流利得と電源電圧変動除去比の関係を改善させられればより良かった

部門 4 の評価項目

- 評価式
 - 利得が-10倍の反転増幅器回路における無信号時の消費電力
- 設計方針
 - 要件を満たしつつ消費電流を削減する



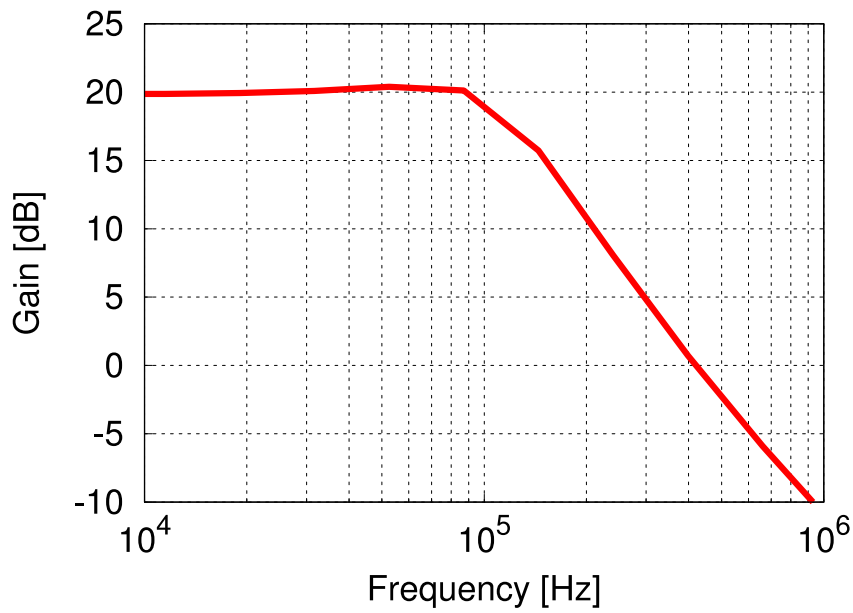
直流利得, 位相余裕



- 直流利得
 $A = 60 \text{ dB}$

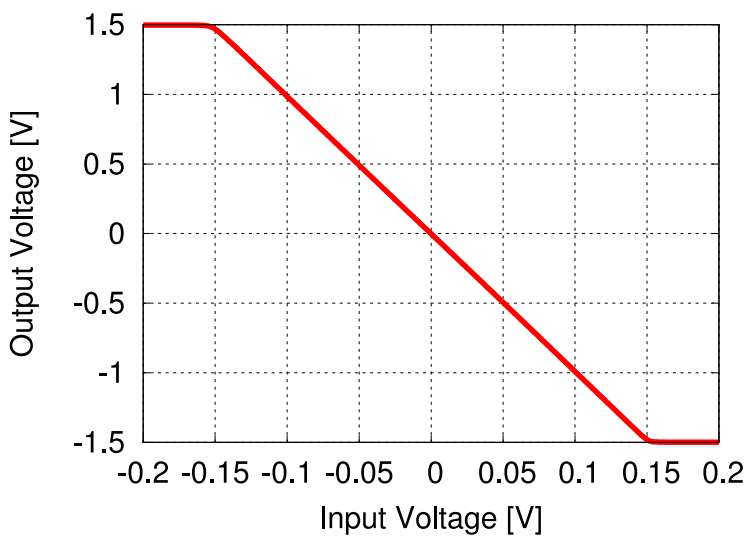
負荷容量	位相余裕
0.9 nF	45.48 deg
1.0 nF	45.46 deg
1.1 nF	45.46 deg

-3dB利得帯域幅



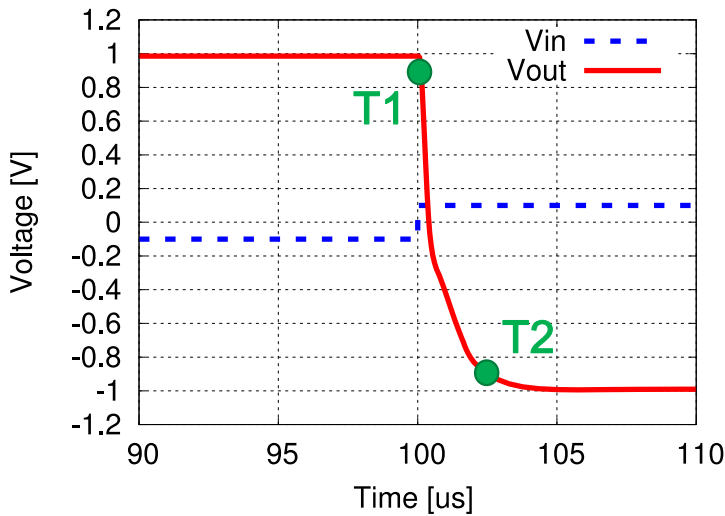
- -3dB利得帯域幅
130kHz

入力電圧範囲



- 入力電圧最大値
143.6mV(@ $0.9V_{outmax}$)
- 入力電圧最小値
-143.3mV(@ $0.9V_{outmin}$)

スルーレート (立ち下がり)



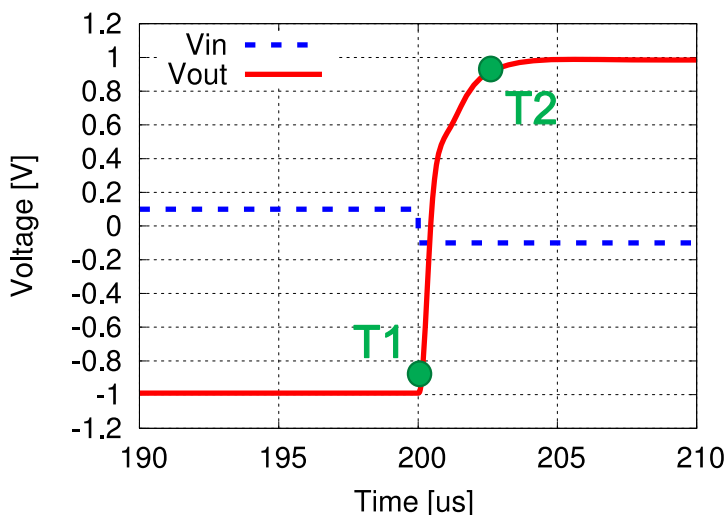
- スルーレートは出力電圧が 900mV と -900mV になった時刻をそれぞれ T1, T2 を用いて評価

- 評価式

$$SR = \frac{1.8}{T2 - T1}$$

T1 [<i>us</i>]	T2 [<i>us</i>]	SR [<i>V/us</i>]
100.1	102.4	0.783

スルーレート (立ち上がり)



- スルーレートは出力電圧が -900mV と 900mV になった時刻をそれぞれ T1, T2 を用いて評価

- 評価式

$$SR = \frac{1.8}{T2 - T1}$$

T1 [<i>us</i>]	T2 [<i>us</i>]	SR [<i>V/us</i>]
200.1	202.5	0.750

結果

項目	評価結果	単位
消費電流	1.3146e-05	A

項目	評価結果	単位
電源電圧	3.00	V
直流利得	60.0	dB
位相余裕	45.5	deg
帯域幅	130	kHz
出力オフセット	-1.27	mV
入力電圧範囲	最大値	144
	最小値	-144
スルーレート	立ち上がり	0.75
	立ち下がり	0.78

まとめ

• 感想

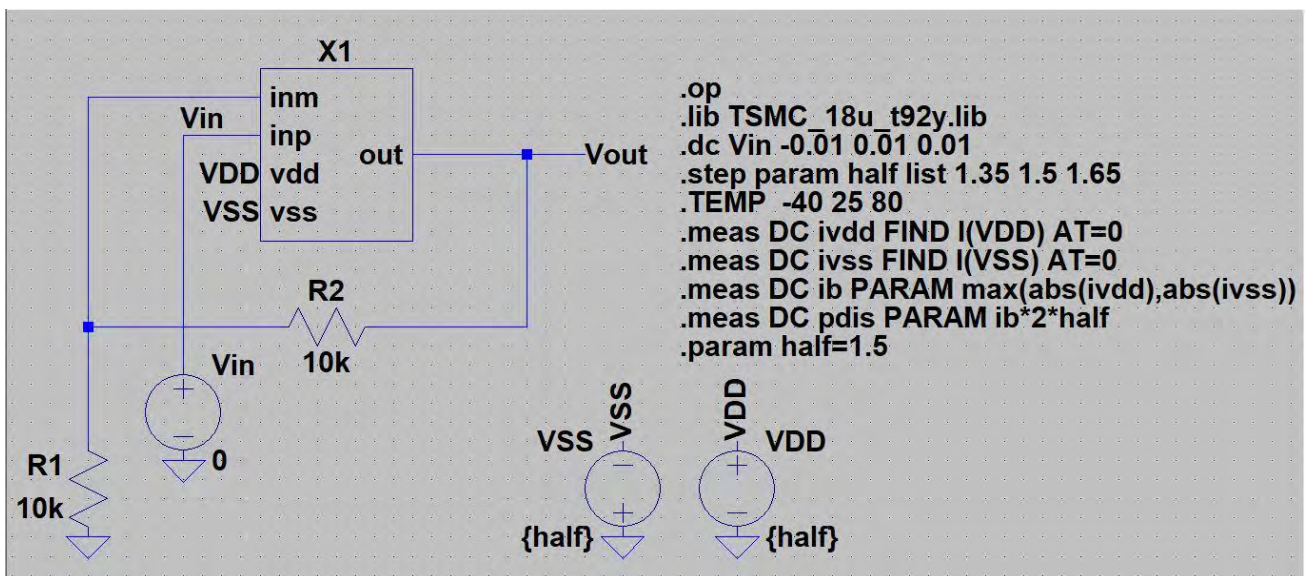
- 各部門で入賞することができて良かった
- 一番力を入れた部門 1 で過去の先輩方の記録を抜くことができた
- スコアを競う中で、回路に対する理解を深めることができた

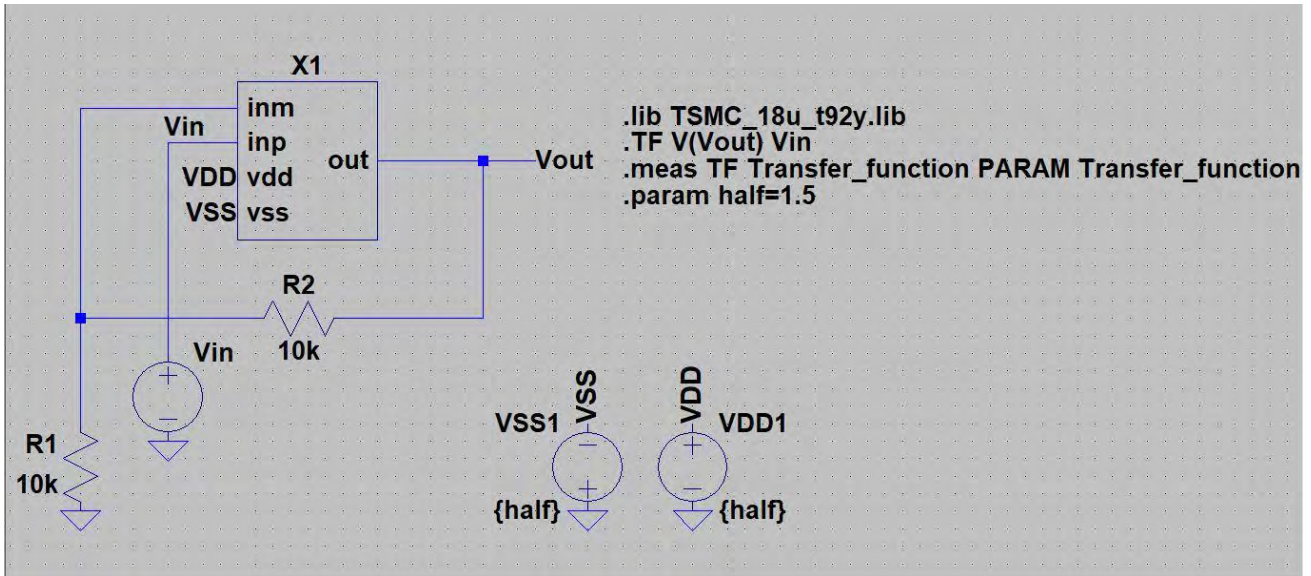
• 謝辞

- このような機会を与えてくださった演算増幅器設計コンテスト運営の方々および協賛企業の方々に厚く御礼申し上げます

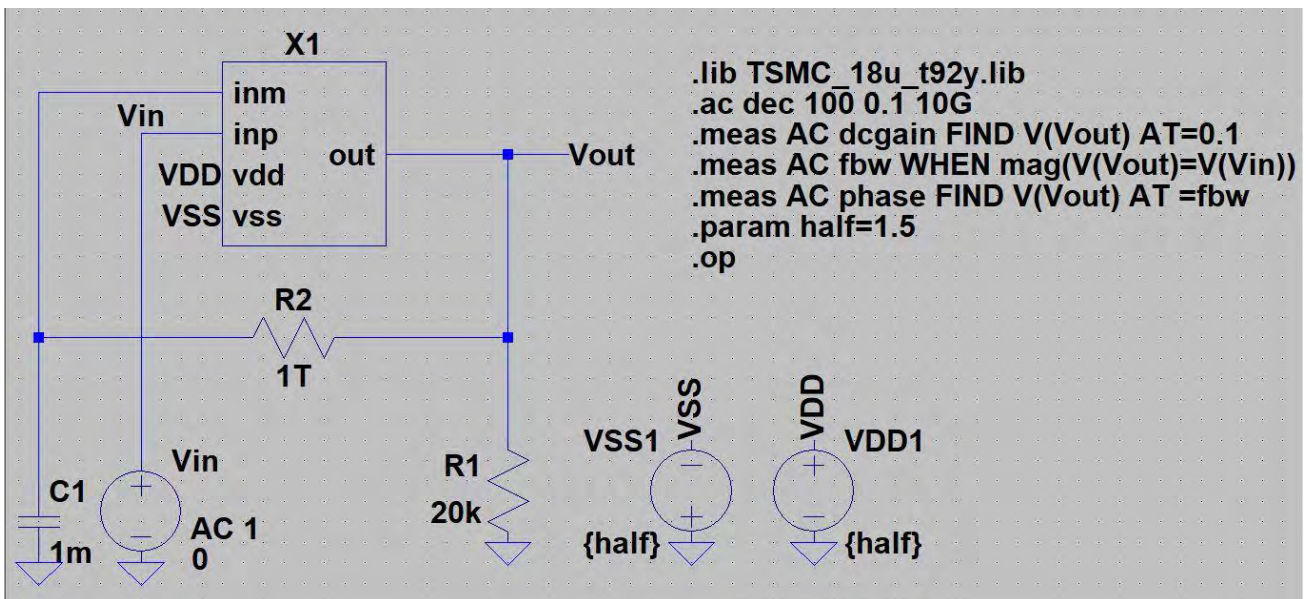
- 部門 1 ~ 3 までの各特性の確認で使用したシミュレーション回路とシミュレーション条件を載せる
- 部門 1 ~ 3 に関してはTSMC0.18 μ mCMOSモデルパラメータを用いてLtspiceでシミュレーションを行った
- 部門4に関してはフェニテック社0.6 μ mCMOSモデルパラメータを用いてVirtuosoでシミュレーションを行った

消費電流, 消費電力

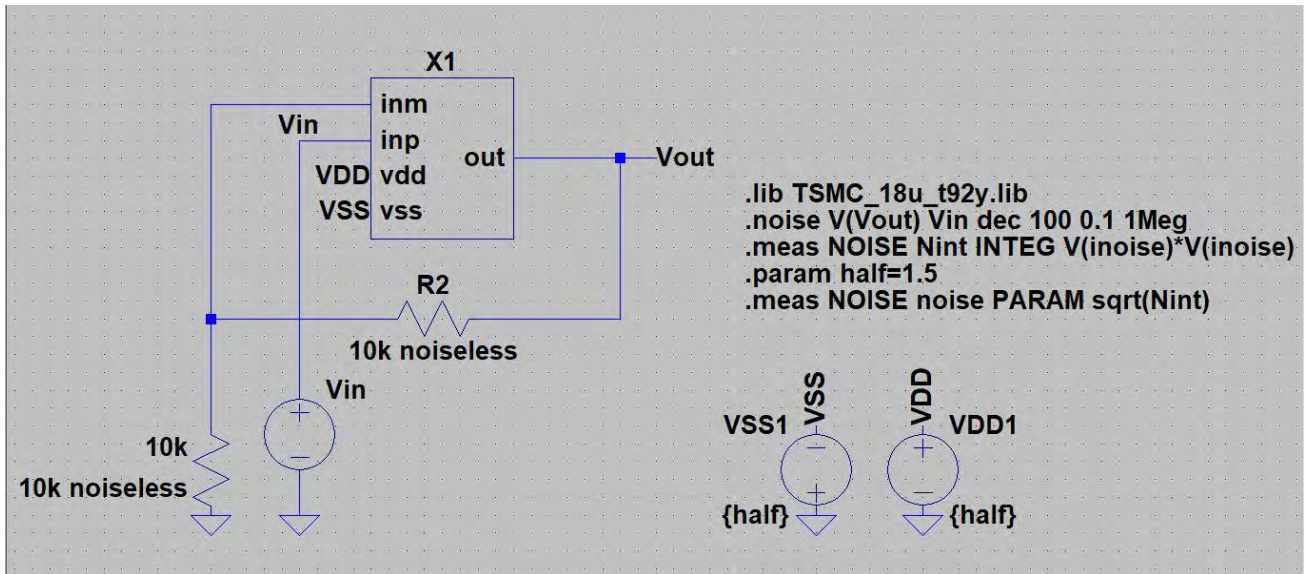




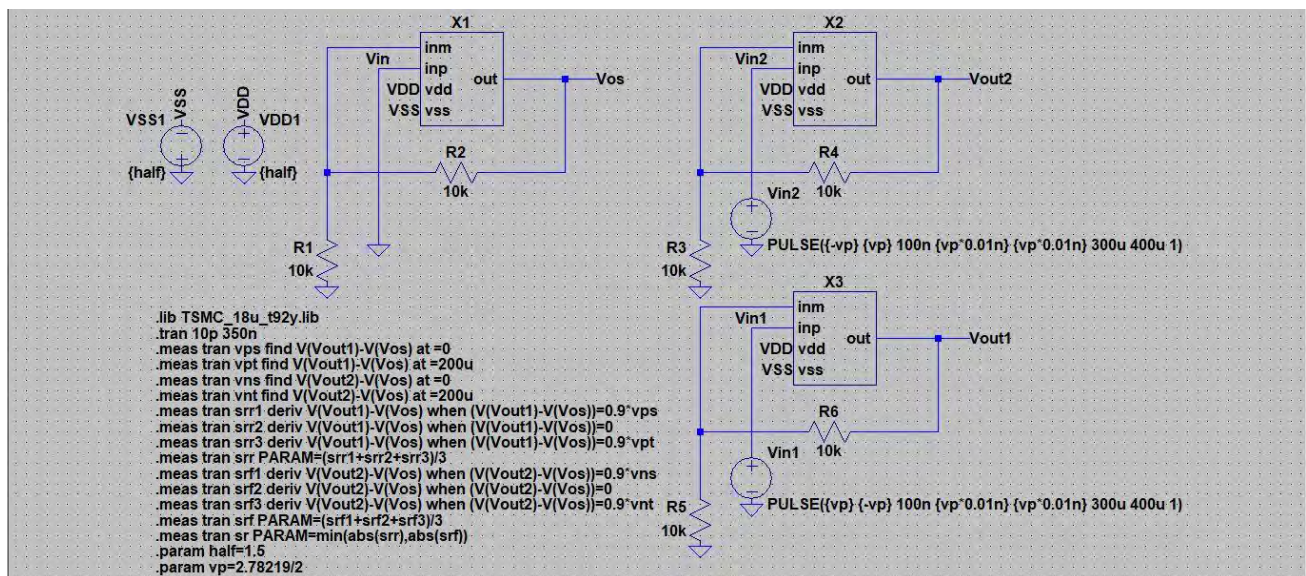
直流利得, 位相余裕, 利得帯域幅

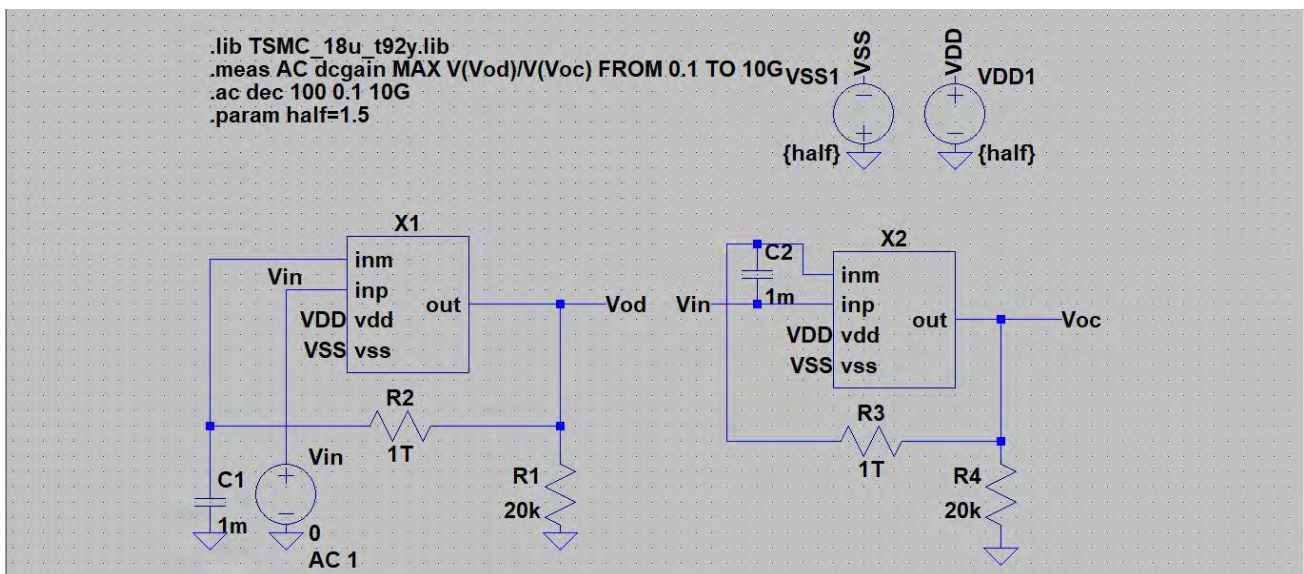
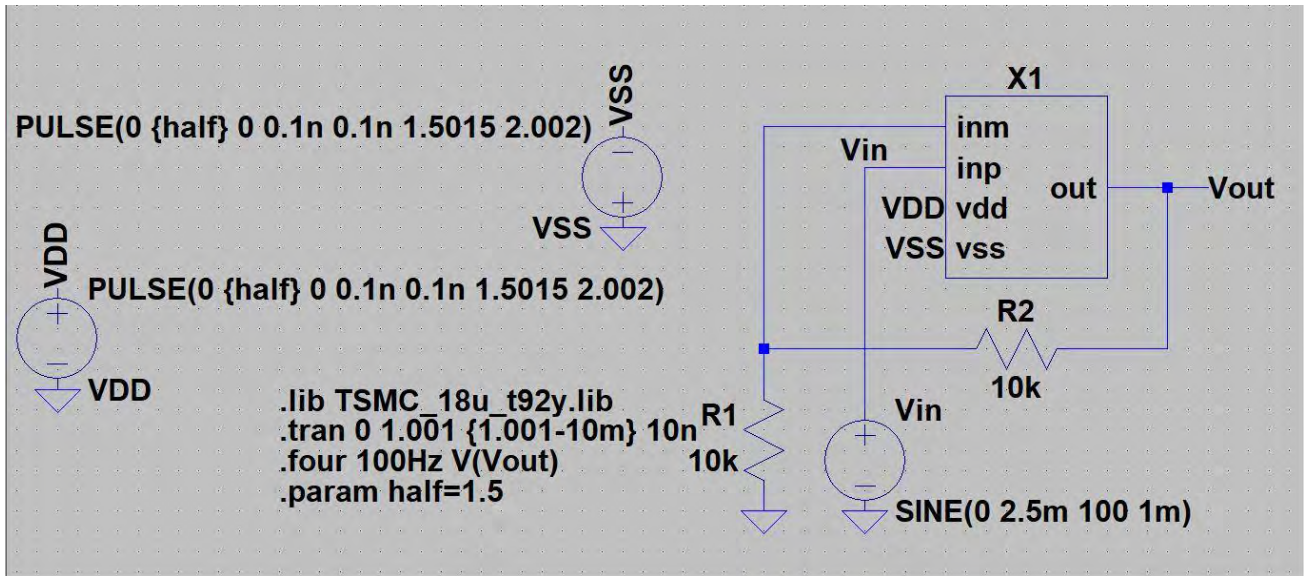


入力換算雑音

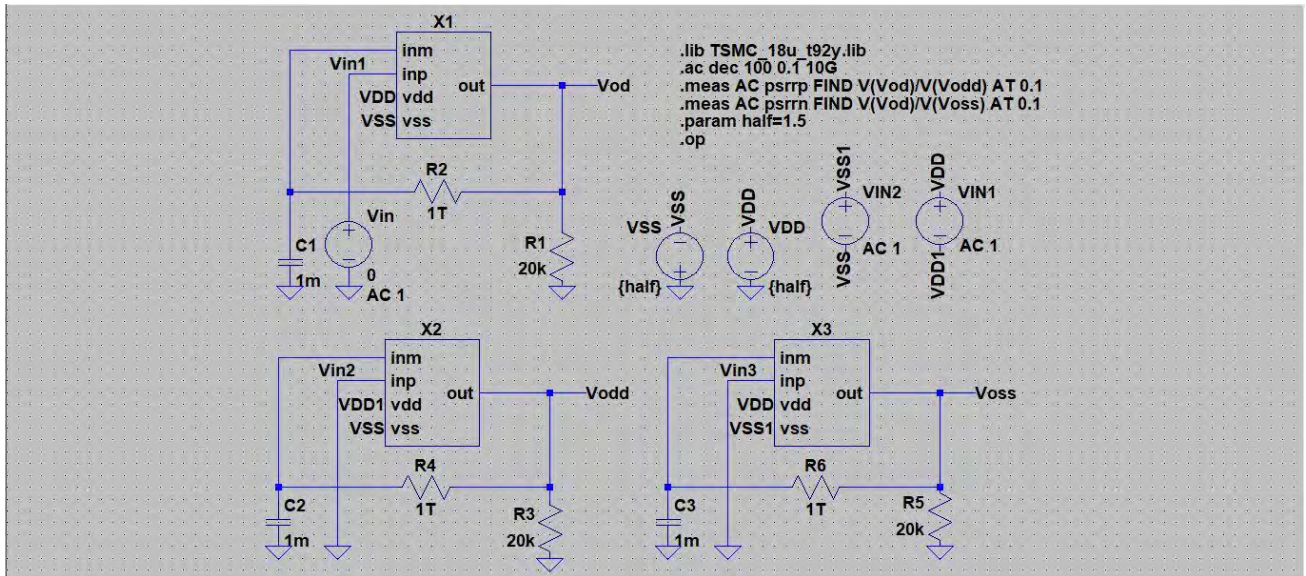


スルーレート

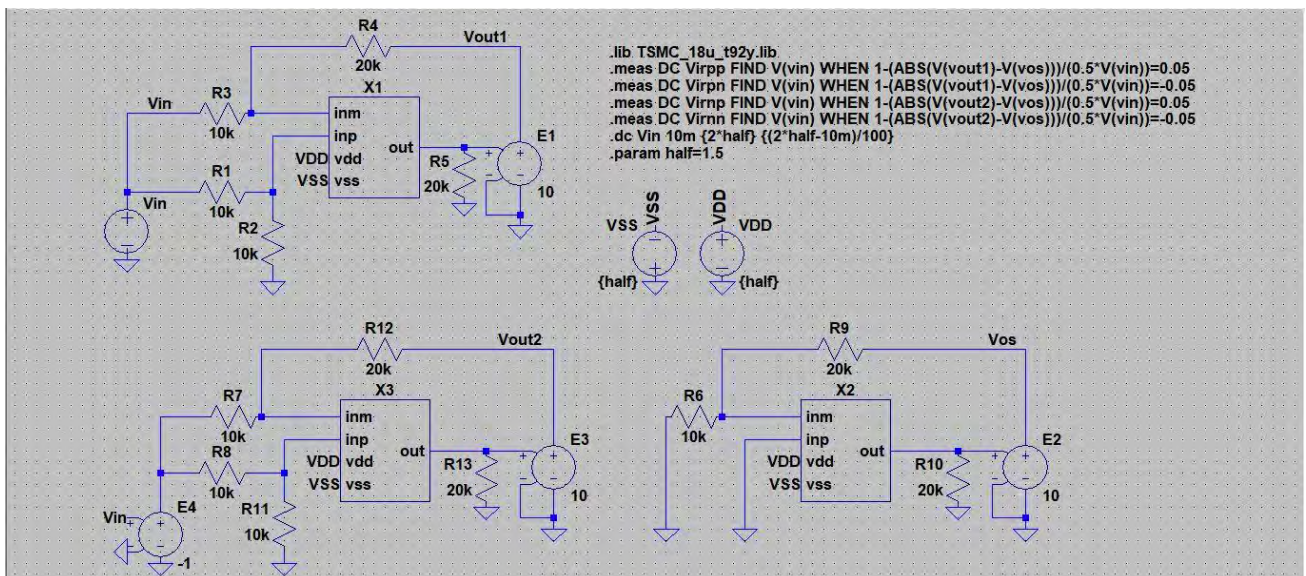




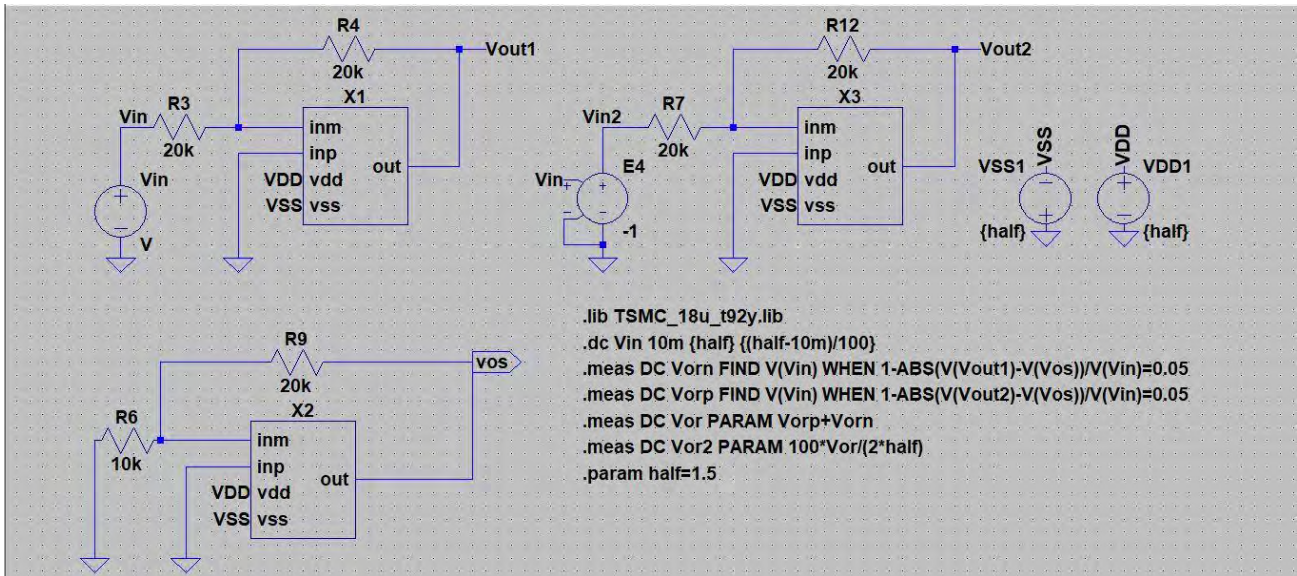
電源電圧変動除去比



同相入力範囲



出力電圧範囲



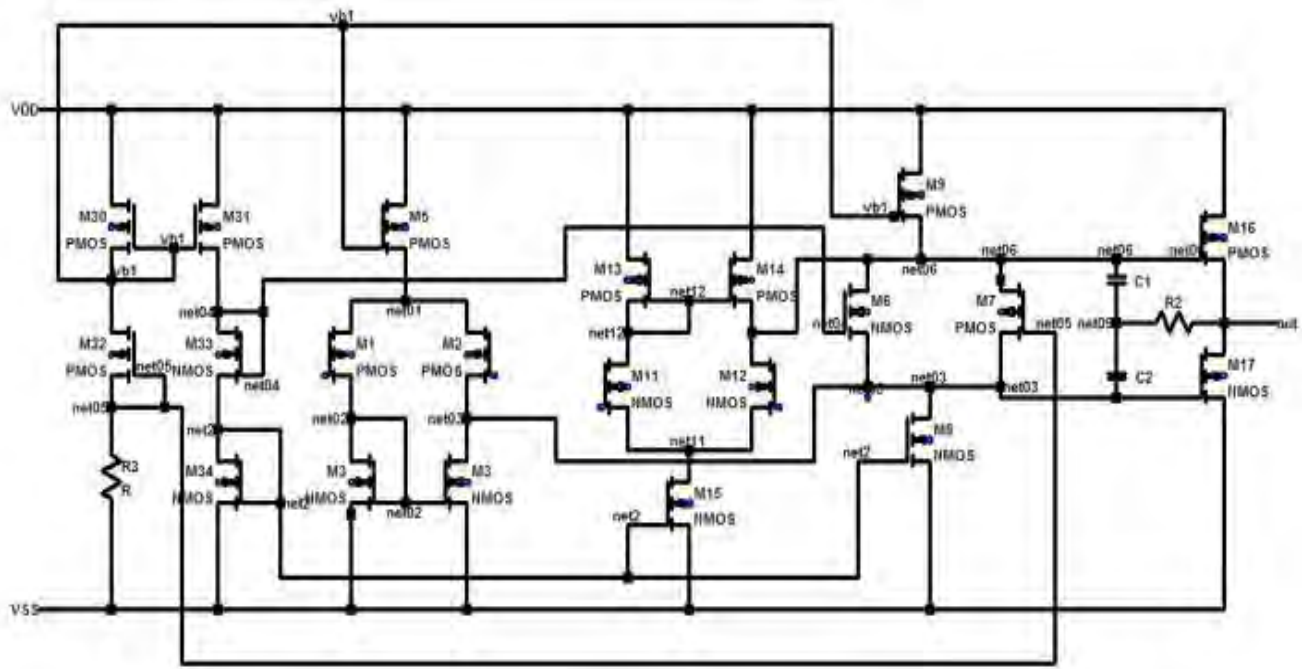
演算増幅器設計コンテスト 試作の部3位

愛知工業大学
工学部 電気学科
学部4年 日比彪斗

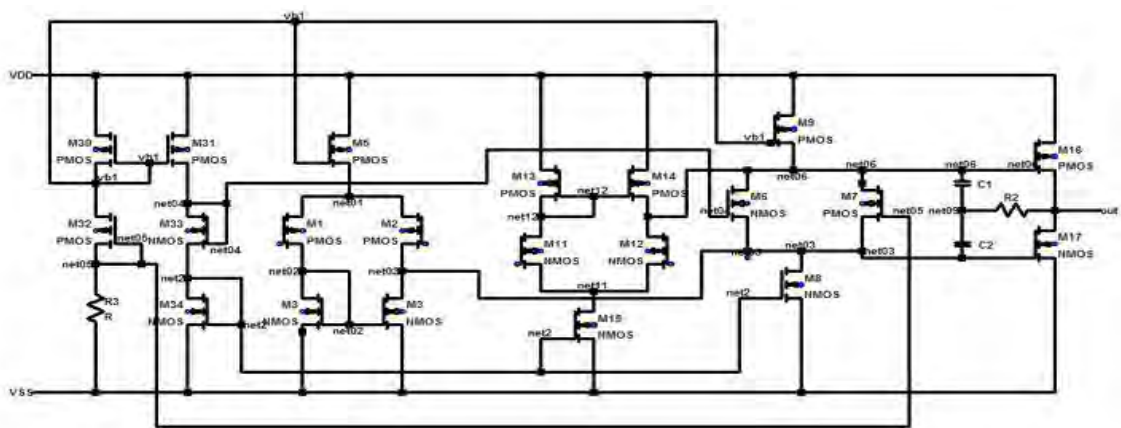
設計方針

- ・電源電圧 $\pm 1.5V$ で動作させたい
→3段以内で設計
- ・入力電圧範囲は広くしたい
→PMOS差動, NMOS差動の両差動用いる
- ・無信号時の消費電流を抑えたい
→AB級出力回路を用いる

提出回路

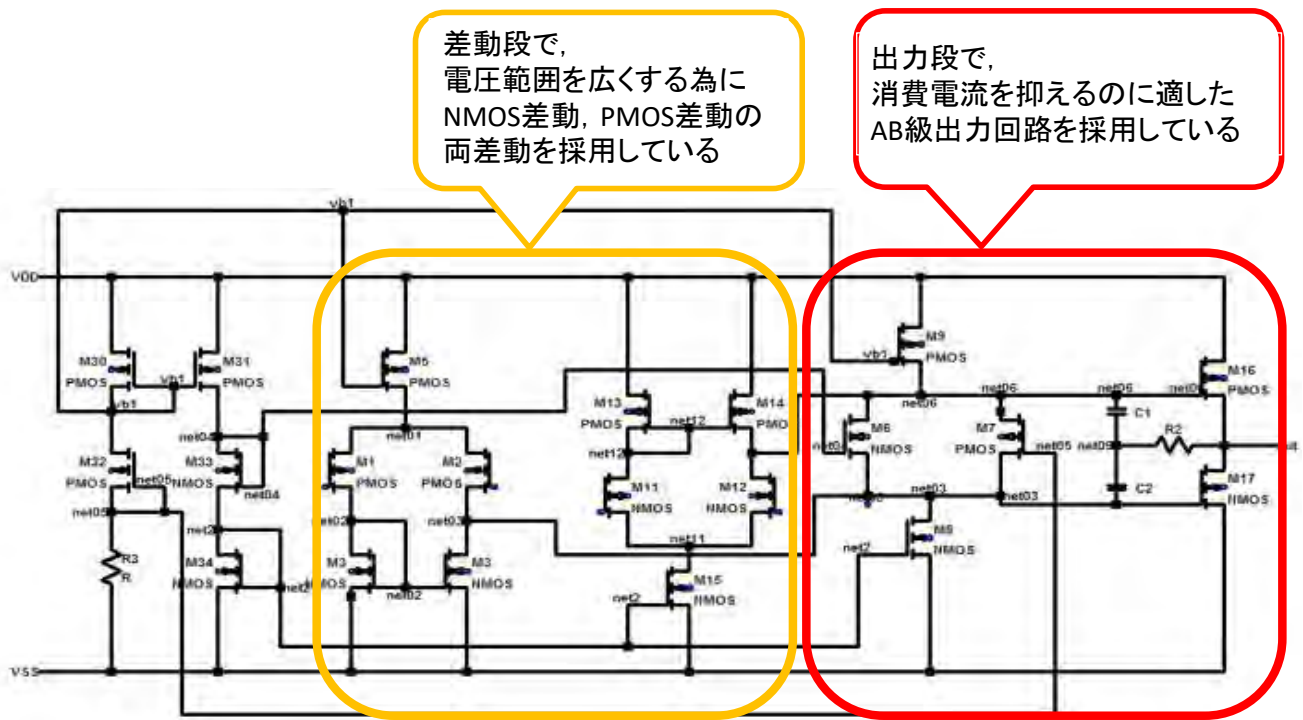


提出回路

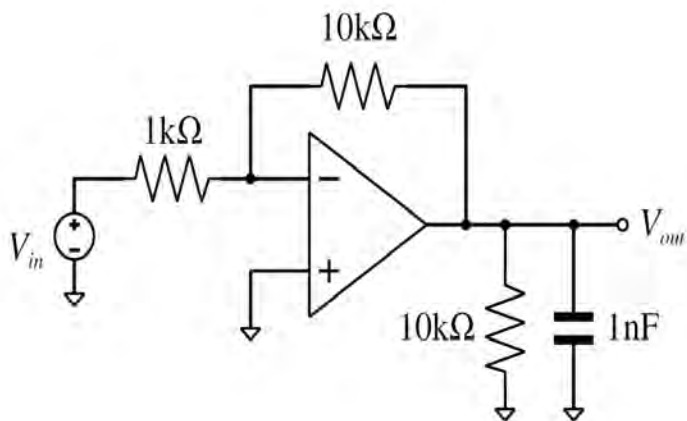


M1 p l=1u w=5.5u m=4	M11 n l=1u w=3.5u m=2	M6 n l=1u w=3.5u m=1	M30 p l=1u w=11u m=4	R1 260k
M2 p l=1u w=5.5u m=4	M12 n l=1u w=3.5u m=2	M7 p l=1u w=11u m=1	M31 p l=1u w=11u m=4	R2 260k
M3 n l=1u w=3.5u m=2	M13 p l=1u w=5.5u m=4	M8 n l=1u w=3.5u m=2	M32 p l=1u w=11u m=2	C1 260f
M4 n l=1u w=3.5u m=2	M14 p l=1u w=5.5u m=4	M9 p l=1u w=11u m=2	M33 n l=1u w=3.5u m=2	C2 260f
M5 p l=1u w=11u m=3	M15 n l=1u w=3.5u m=4	M16 p l=1u w=11u m=13	M34 n l=1u w=3.5u m=4	
		M17 n l=1u w=3.5u m=12		

提出回路



評価回路及び要件

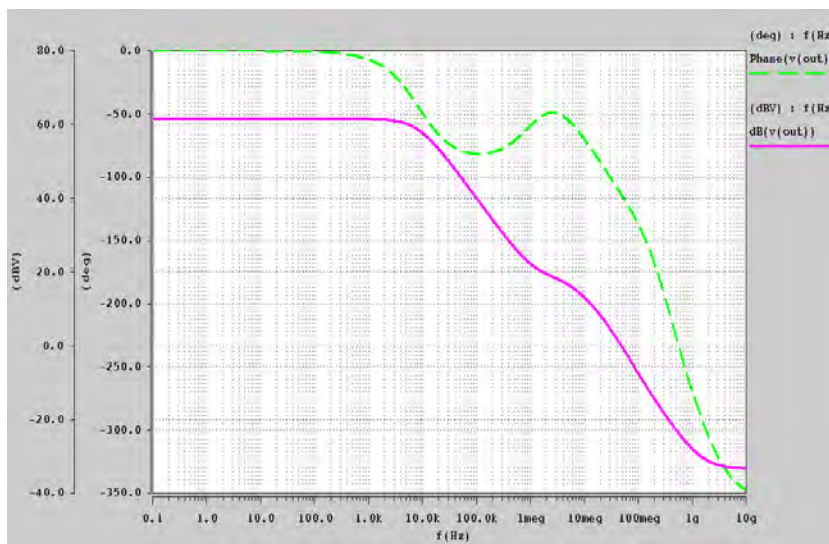


項目	要件
直流利得	40dB以上
位相余裕	45° 以上
-3dB帯域幅	20kHz以上
入力電圧範囲	±100mV以上
スルーレート	±1V/μs以上

シミュレーション結果

直流利得(open loop): 61.55dB

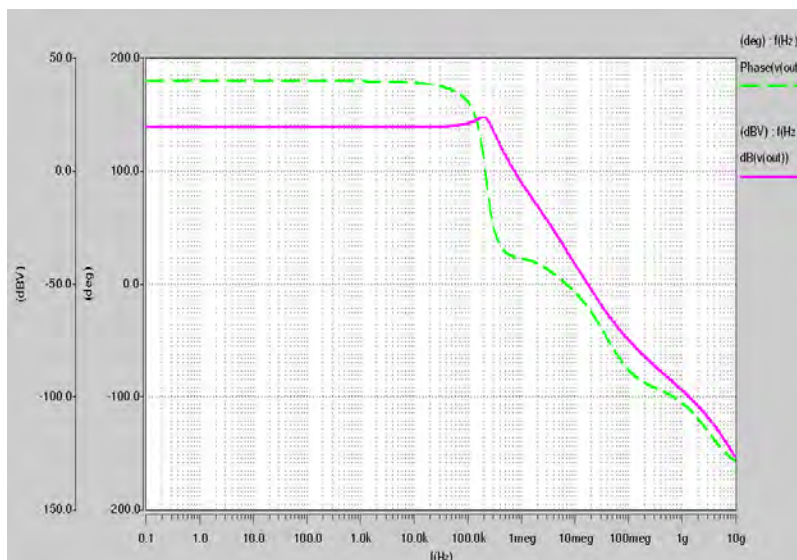
位相余裕: 66.225°



シミュレーション結果

直流利得(closed loop): 19.76dB

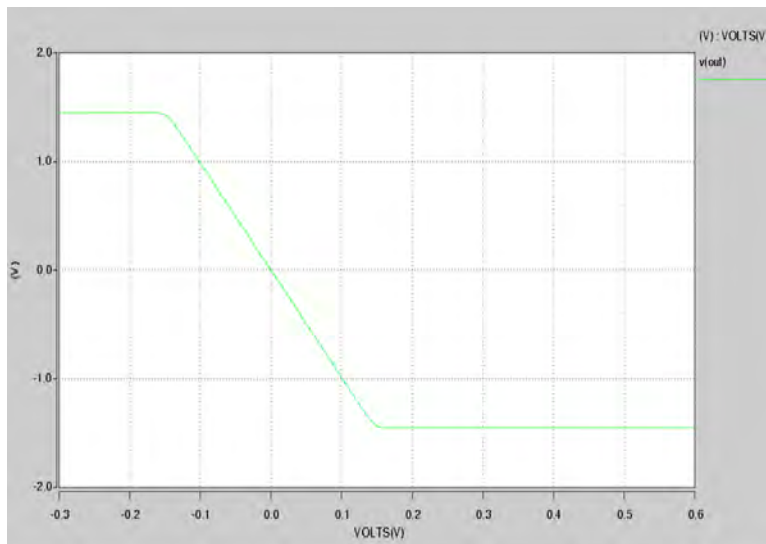
-3dB帯域幅: 318kHz



シミュレーション結果

入力電圧: $\pm 2.0\text{V}$

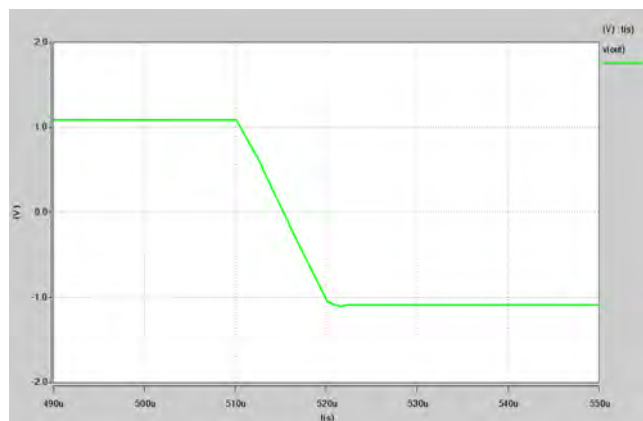
最大入力電圧範囲: $\pm 0.150\text{V}$



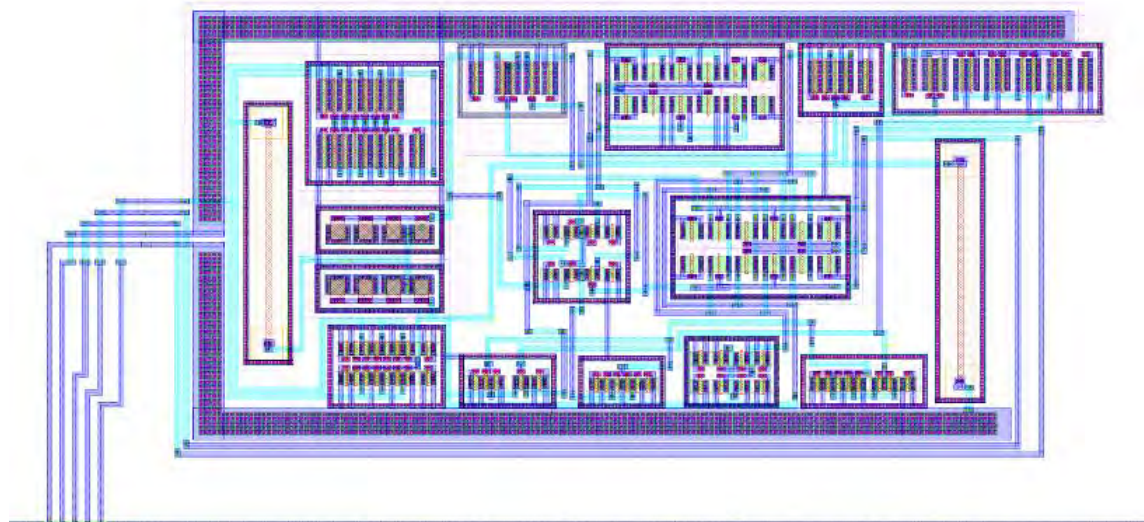
シミュレーション結果

立ち上がり: $2.15\text{V}/\mu\text{s}$

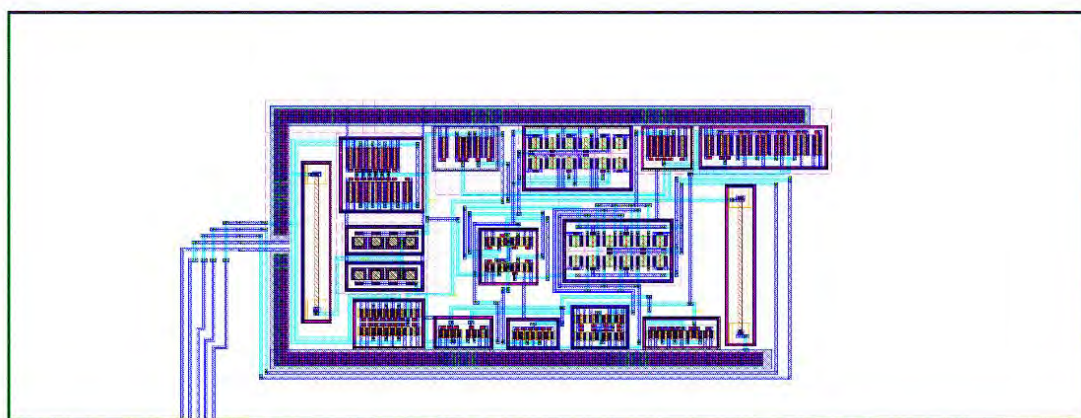
立下り: $2.16\text{V}/\mu\text{s}$



レイアウト図



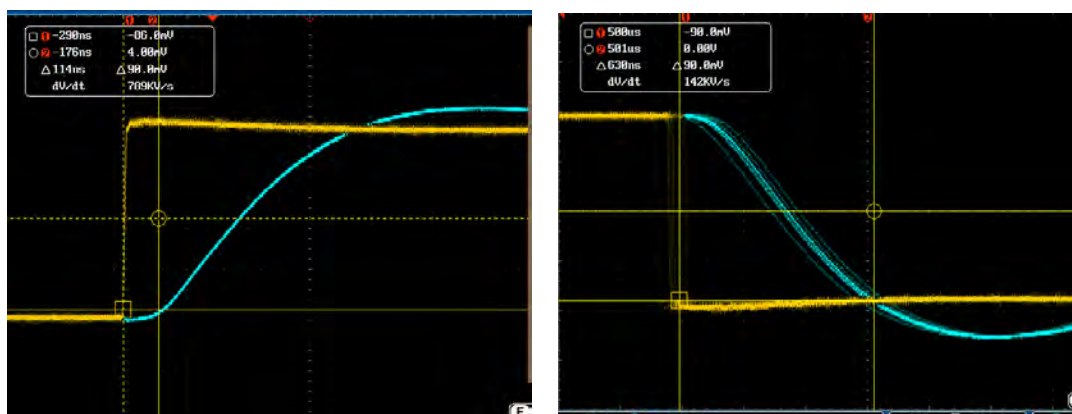
枠内のレイアウト図



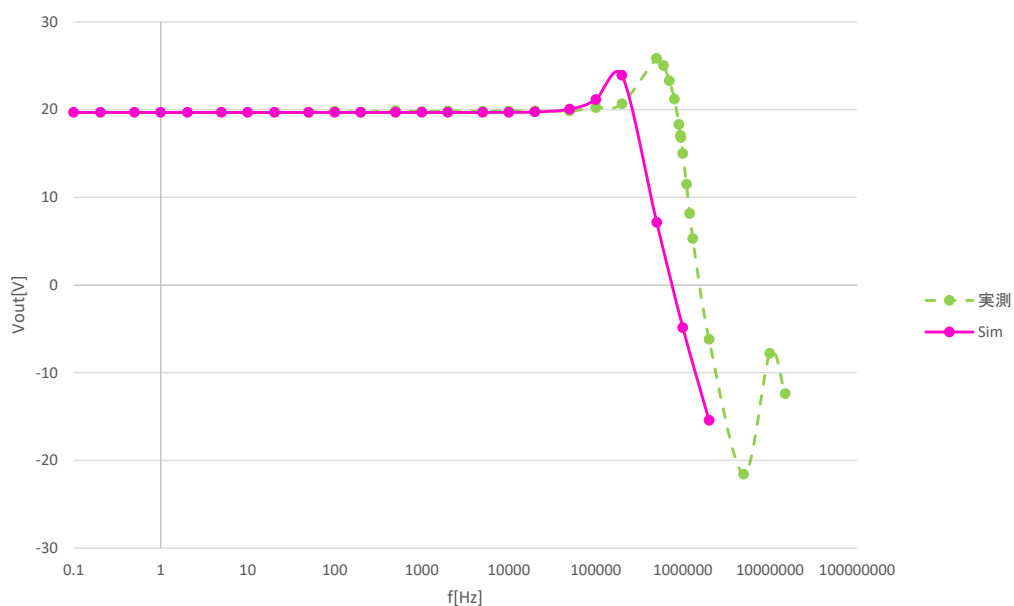
実測結果(スルーレート)

立ち上がり: $2.71\text{V}/\mu\text{s}$

立ち下がり: $2.84\text{V}/\mu\text{s}$



実測結果(直流利得比較)



シミュレーションと実機計測の比較

	シミュレーション	試作1	試作2
直流利得	9.65倍	9.78倍	9.33倍
-3dB帯域幅	318.1kHz	1000kHz	950kHz
最大入力電圧	0.15V	0.16V	0.16V
SR(立ち上がり)	2.15V/ μ s	2.71V/ μ s	4.41V/ μ s
SR(立ち下がり)	2.16V/ μ s	2.84V/ μ s	4.21V/ μ s
消費電流	28.8 μ A	47.67 μ A	44.0 μ A
消費電力	86.4 μ W	143 μ W	132 μ W

まとめ

- ・想定よりも消費電流が大きくなってしまった
→レイアウトに問題があったかもしれない
- ・チップを変更したらスルーレートの値が大きく変わった
→チップ製造時のドーピング量や測定環境の影響が考えられる
- ・直流利得等は大きな誤差がなく、全ての要件を満たしている
回路動作が出来たのは大きな収穫となった

謝辞

貴重な機会を設けて下さいました
協賛企業の皆様及び運営の皆様に深く感謝を申し上げます





演算増幅器設計コンテスト 試作の部 2位

2019/12/20

東京理科大学 兵庫研究室

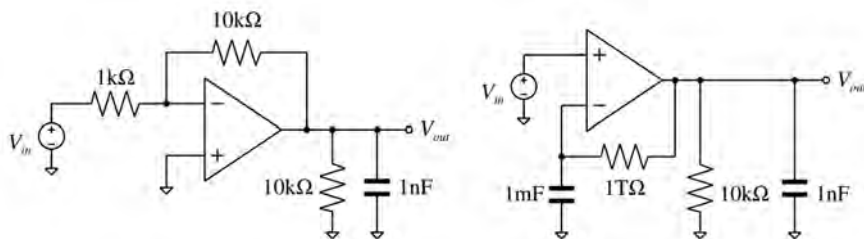
海野 裕一郎

Tokyo University of Science **HYOGO Lab.**



評価回路

■ 評価回路図



a. 評価回路

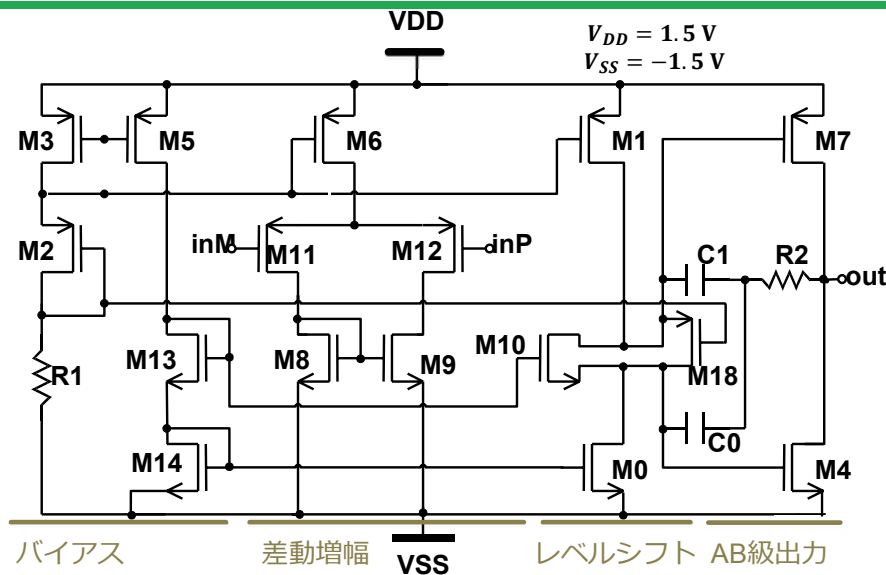
b. 小信号評価回路

■ 審査項目

利得が -10 倍の反転増幅器回路における無信号時の消費電力

- 審査項目が消費電力のみ
→デザイン部門の要件を全て満たしつつ、消費電流をできるだけ小さくする
- シミュレーション値と実測値の差をなるべく小さくするためレイアウトを工夫してみる

提出回路



M3 : 21u/1.6u	M=1	M6 : 21u/1.6u	M=4	M1 : 21u/1.6u	M=2	M7 : 21u/1.6u	M=3
M2 : 21u/1.6u	M=1	M11 : 21u/1.6u	M=1	M10 : 7u/1.6u	M=1	M4 : 7u/1.6u	M=3
M5 : 21u/1.6u	M=1	M12 : 21u/1.6u	M=1	M18 : 21u/1.6u	M=1	C1 : 780f	
M13 : 7u/1.6u	M=1	M8 : 7u/1.6u	M=1	M0 : 7u/1.6u	M=2	C2 : 780f	
M14 : 7u/1.6u	M=1	M9 : 7u/1.6u	M=1			R2 : 420k	
R1 : 420k							

NMOSのバルクは全てVSSに、PMOSのバルクは全てソース端子に接続

シミュレーション結果

■ 直流利得 (評価回路b)

0.1Hz での利得を求める.

要件 : 40dB以上

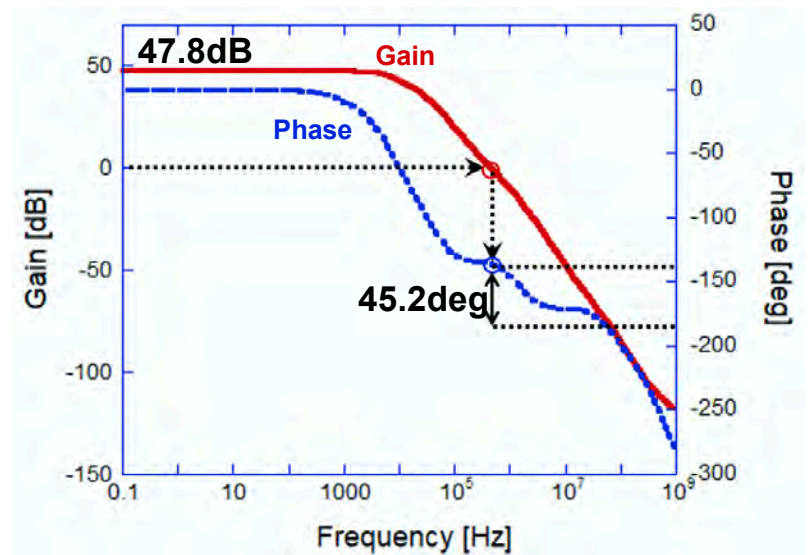
Sim値 : **47.8dB**

■ 位相余裕 (評価回路b)

0dB時の180° + 位相回転
を求める.

要件 : 45°以上

Sim値 : **45.2°**



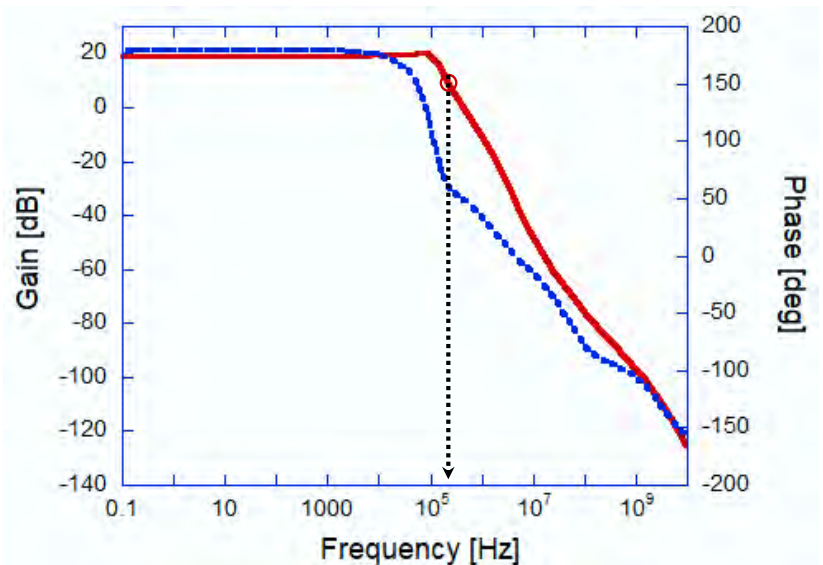
シミュレーション結果

■ 帯域幅 (評価回路a)

-3dB 周波数を求める.

要件 : 20kHz以上

Sim値 : **180kHz**

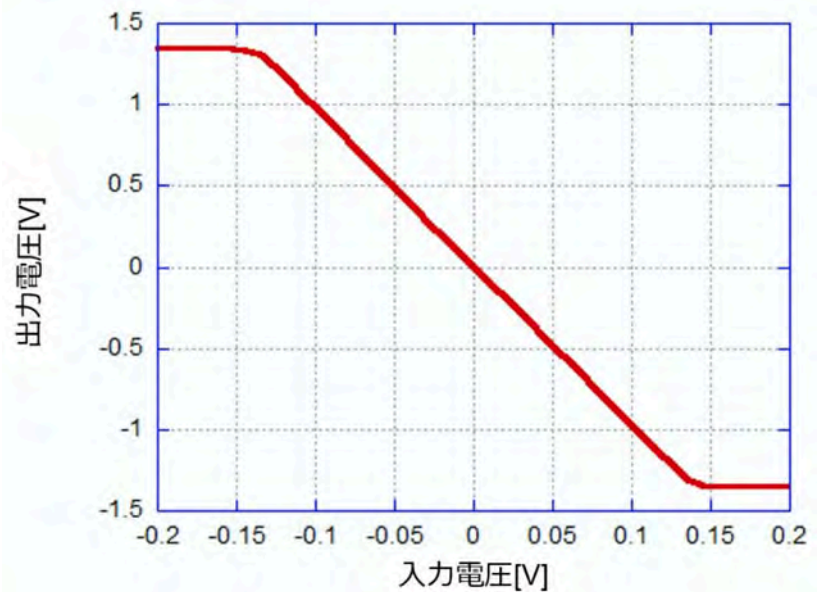


シミュレーション結果

■ 入出力電圧範囲 (評価回路a)

入力電圧を掃引し, 出力電圧が飽し始める入力電圧の値を求める.

要件: $\pm 100\text{mV}$ 以上
Sim値: $\pm 138\text{mV}$



シミュレーション結果

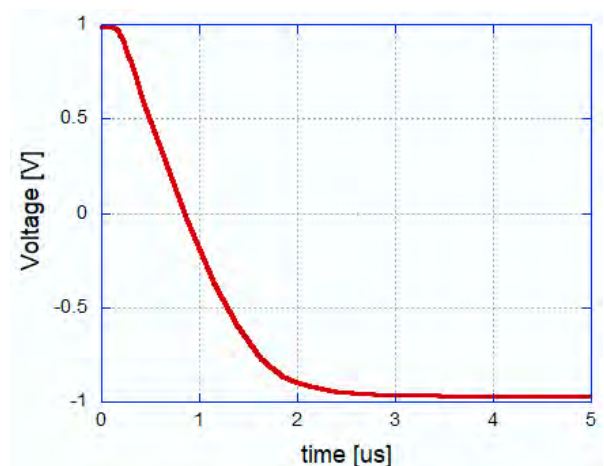
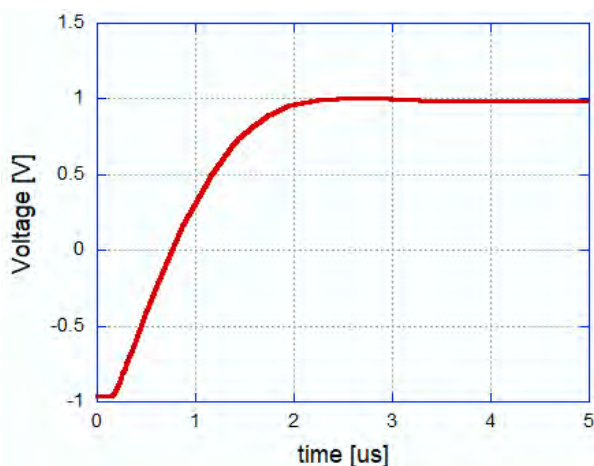
■ スルーレート (評価回路a)

入力電圧を矩形波とし 立ち上がり時間を $0.5\mu\text{s}$ で -100mV から 100mV に変化させる. 出力電圧が -900mV と 900mV になった時刻を t_1, t_2 とする. 立ち下がり逆.

$$SR = \frac{1.8}{t_2 - t_1}$$

要件: $\pm 1\text{V}/\mu\text{s}$ 以上

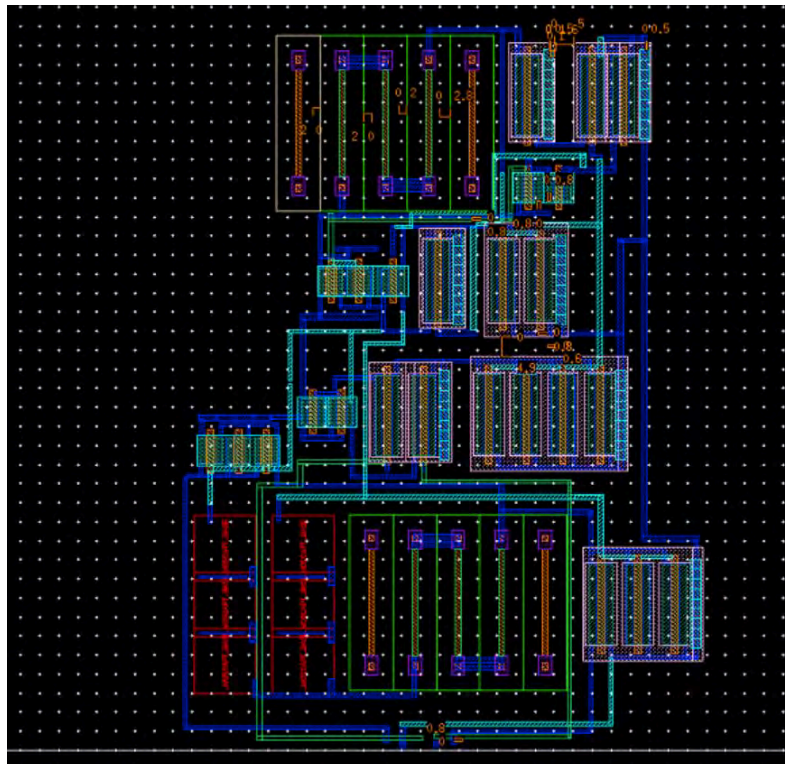
Sim値: 立ち上がり時 **1.26V/ μs** 立ち下がり時 **1.02V/ μs**



レイアウトの工夫

- IRドロップ影響を考慮し、電流の流れる向きを一定にする
- 電流比を正確にするため、トランジスタのアスペクトを一定にし、Multiplierを使用
- 抵抗の両端と内部でプロセス条件が異なる
→正確なマッチングを取るためダミー抵抗を配置する

レイアウト図



測定結果 (SR)



立ち上がり : 1.31V/μs



立ち上がり : 1.30V/μs

測定結果

チップ番号	消費電流 +側[μA]	消費電流 -側[μA]	利得[倍]	SR[V/μs] 立ち上がり	SR[V/μs] 立ち下がり	入力電圧範囲 [mV]	帯域幅[kHz]
1	38	35.1	9.65	1.46	1.22	134	410
2	30.7	66.1	9.55	1.32	1.14	111	420
3							
4	29.9	35.8	9.45	0.13	0.24	139	350
5	49.5	32.8	9.55	1.16	1.39	129	400
6	38.1	32.5	9.55	1.31	1.30	145	400
7	50.1	31	9.65	1.25	1.37	129	390
8	43.2	33.5	9.55	1.33	1.35	137	420
9	29.8	57.9	9.55	1.47	1.19	139	420
10	31.6	41.8	9.65	1.39	1.21	135	410
11	31.4	74	9.55	1.55	1.02	123	420
12	54.9	32.9	9.65	1.24	1.34	-139	400
13							
14	67.6	32.2	9.55	1.24	1.34	-139	400
15	29.2	59.1	9.55	1.43	1.16	119	410
Sim	26.0	25.4	9.47	1.26	1.01	138	180

動作不良

SR×

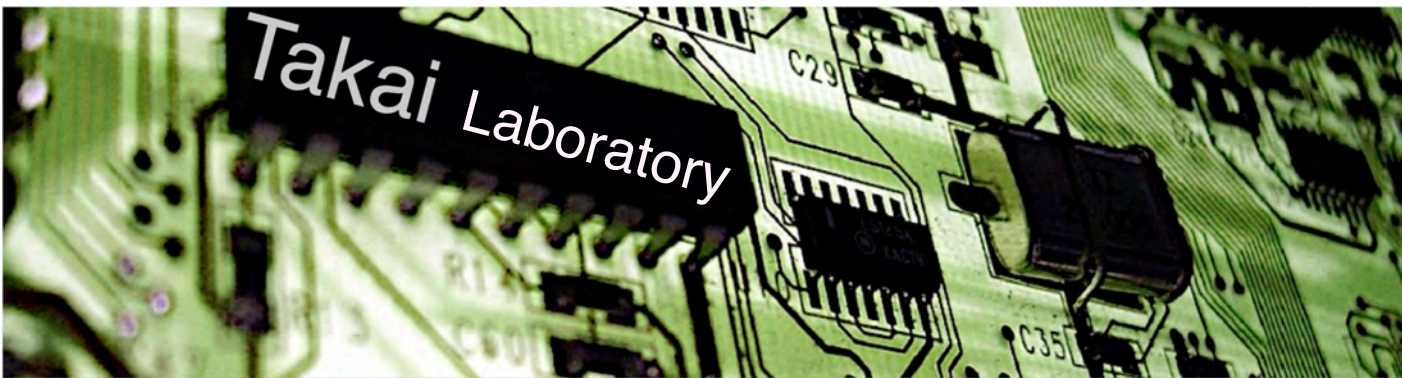
動作不良

⊗Sim値に比べ、測定値の消費電流は30%以上増加

感想

- デザイン部門の要件を全て満たした回路を設計できて良かった
 - Sim値と測定値の差を小さくするという目標を達成できなかった **消費電流30%以上増**
 - チップごとのばらつきも大きかった
- レイアウトをもっと勉強する必要があると感じた

演算増幅器設計コンテスト運営の皆様並びに、協賛企業の皆様、厚く御礼申し上げます。



2019年演算増幅器コンテスト

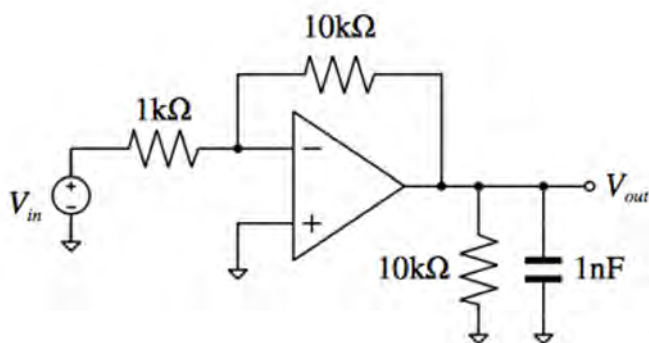
試作の部 1位

シミュレーションの部 部門2 3位
部門3 2位

群馬大学 修士1年
今野 哲史

1

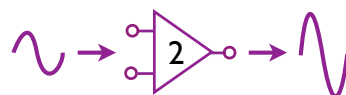
評価回路及び要件



要件

直流利得	: 40dB以上
帯域幅	: 20kHz以上
入力電圧範囲	: $\pm 0.1V$ 以上
スルーレート	: $1V/\mu s$ 以上

評価回路 : 10倍の反転増幅回路



設計方針



レイアウトは初めてなので、動作する回路を設計したい

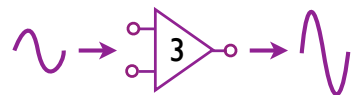
- 要件より余裕を持たせて設計
- シンプルな構成を使用
- 安定性を持たせるために各素子でダミーを配置
- 素子のばらつきを軽減するためにコモンセントロイド配置



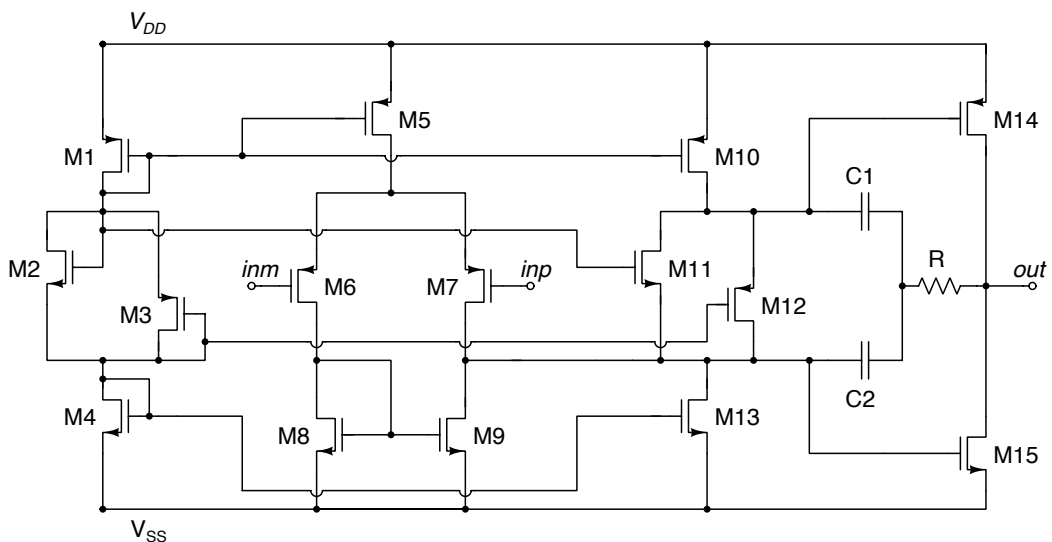
なるべく消費電流を抑えたい

- 出力段にAB級を使用

GUNMA UNIVERSITY TAKAI-LAB

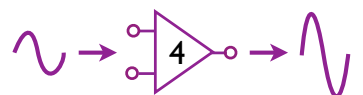


提出回路

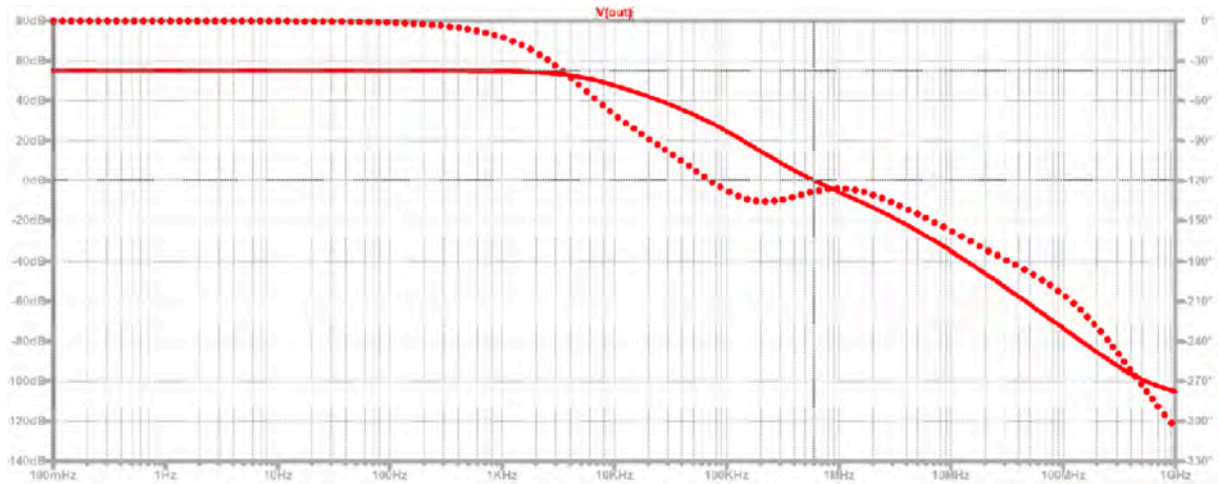


MOSFET	Width	単位は全て [μm]		Lengthは全て1.0 μm			
PMOS							
M1	28.8	M3	14.4	M5	32.4	M6, M7	16.2
M10	9.6	M12	4.8	M14	46.8		
NMOS							
M2	4.8	M4	8.6	M8, M9	5.4		
M11	1.6	M13	3.2	M15	15.6		

GUNMA UNIVERSITY TAKAI-LAB



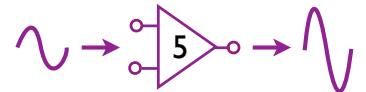
シミュレーション：利得



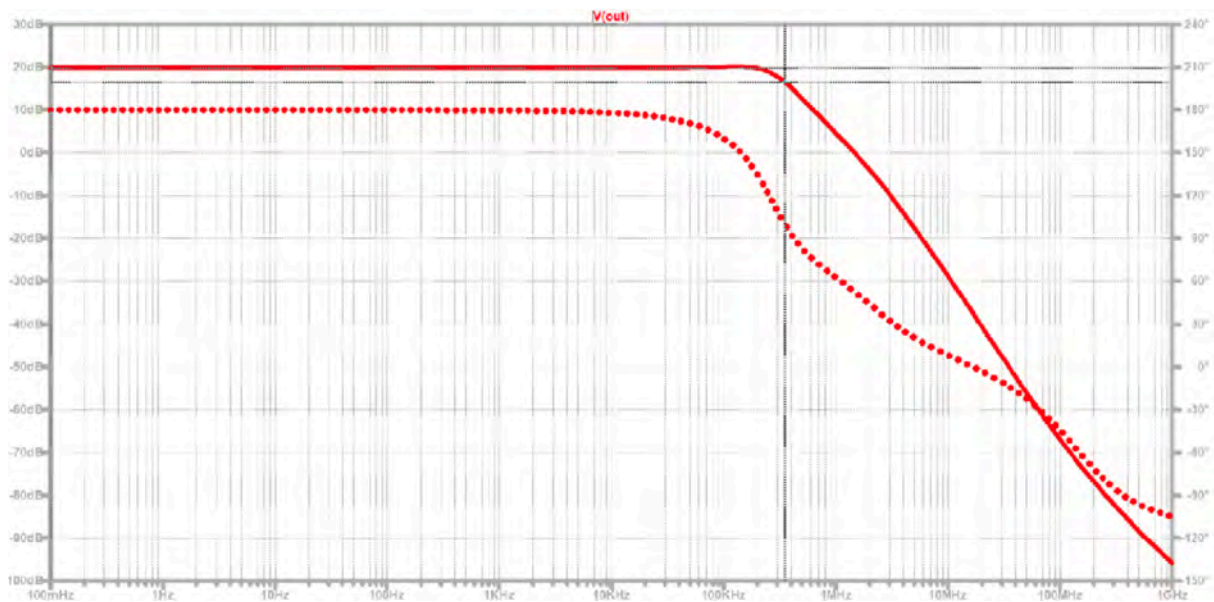
直流利得 (Open Loop Gain) : 55.0 dB

位相余裕 : 52°

GUNMA UNIVERSITY TAKAI-LAB



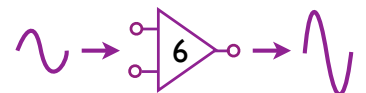
シミュレーション：利得



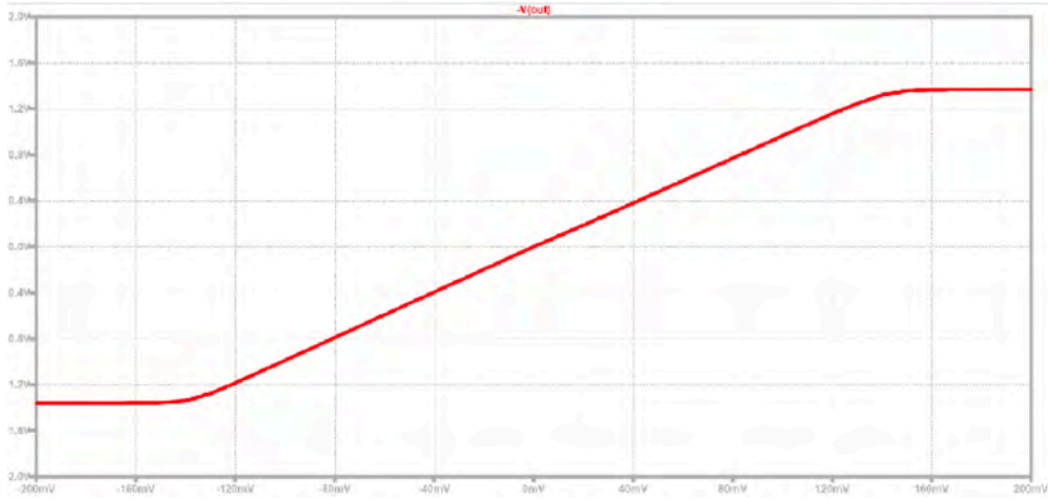
直流利得 (Closed Loop Gain) : 19.7 dB (9.7倍)

-3dB帯域幅 : 192.7 kHz

GUNMA UNIVERSITY TAKAI-LAB



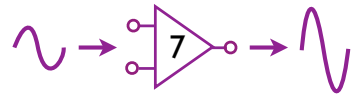
最大入力範囲



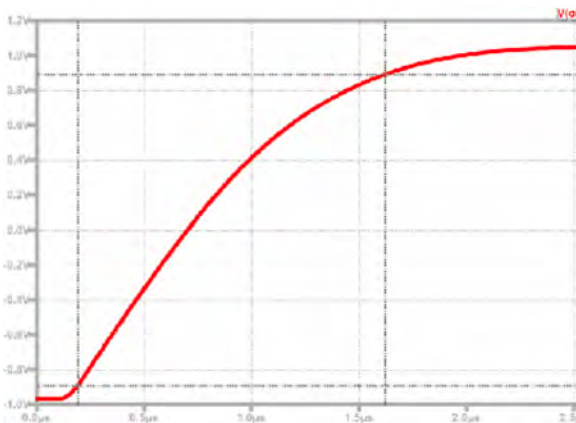
-146 mV

+146 mV

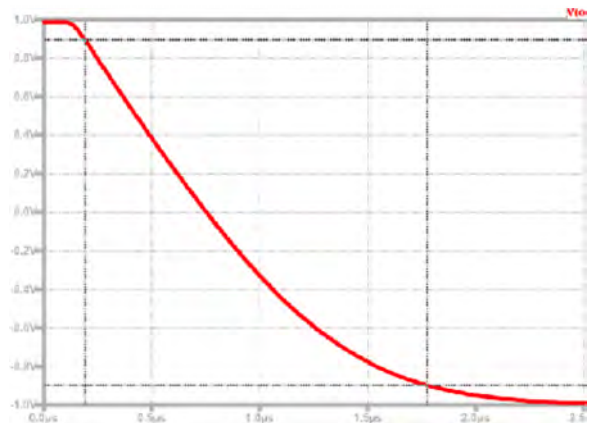
GUNMA UNIVERSITY TAKAI-LAB



スルーレート

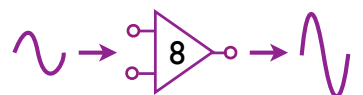


立ち上がり
1.26 V/us

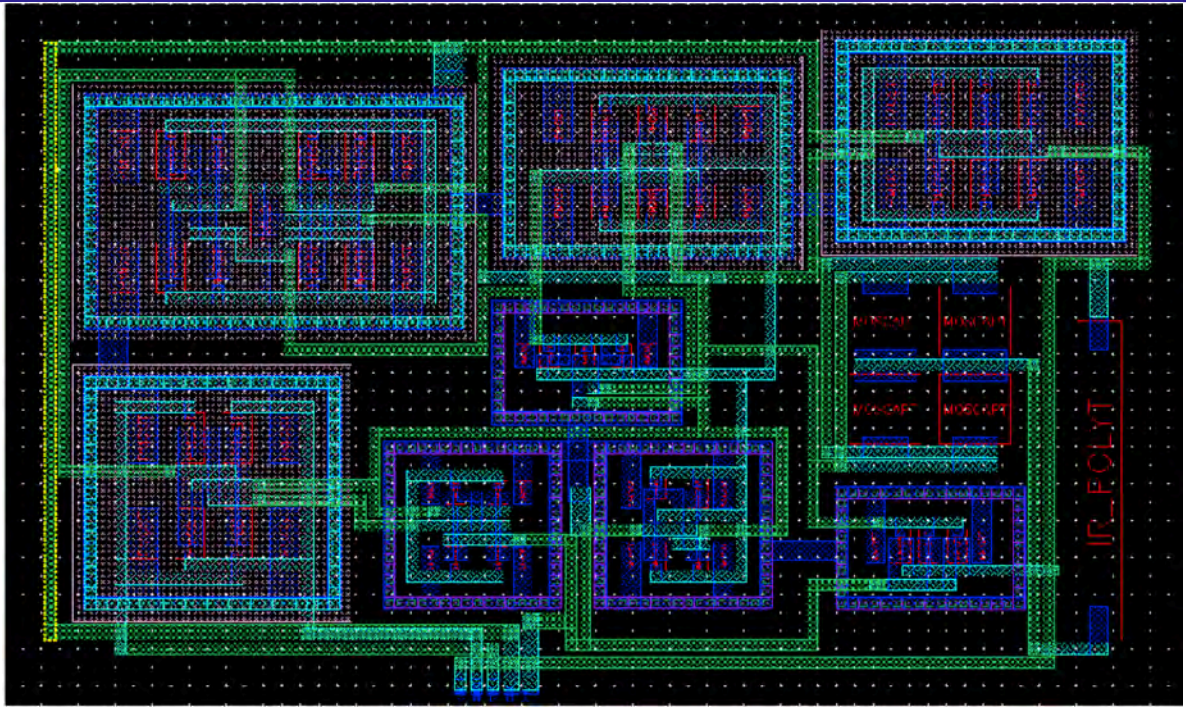


立ち下がり
1.14 V/us

GUNMA UNIVERSITY TAKAI-LAB

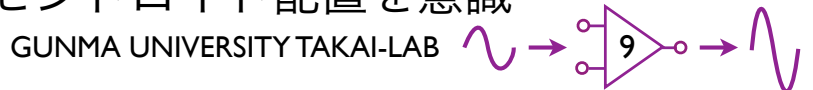


レイアウト



コンパクトにまとめること、
ダミー、コモンセントロイド配置を意識

GUNMA UNIVERSITY TAKAI-LAB



レイアウト

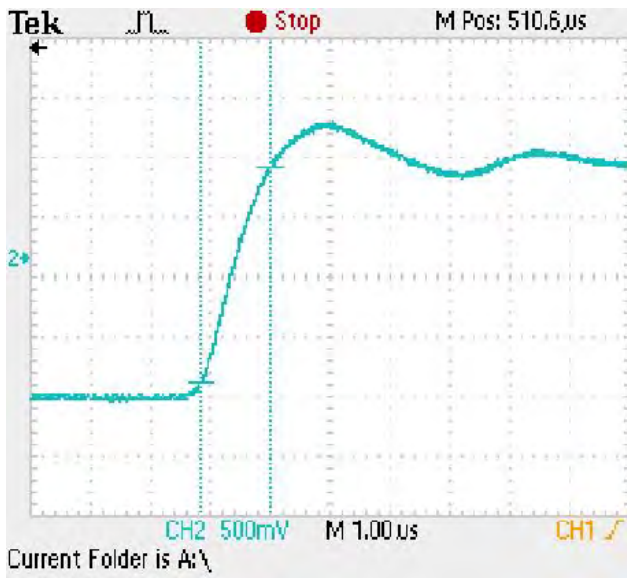


使用した面積は半分程

GUNMA UNIVERSITY TAKAI-LAB

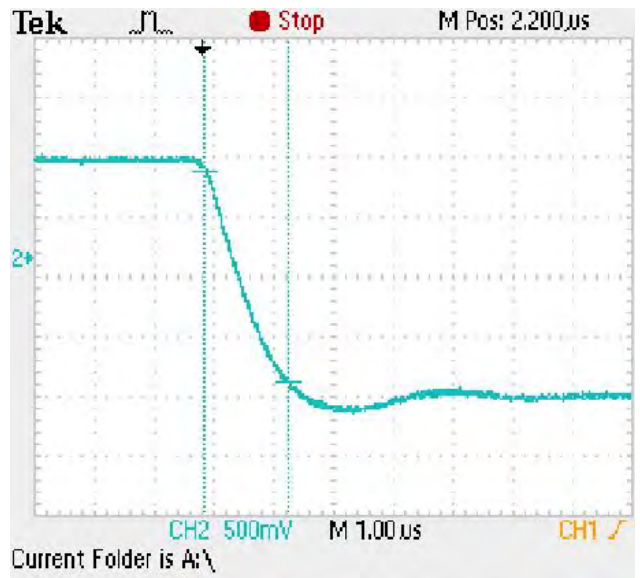


測定結果 (スルーレート)



立ち上がり : 1.55 V/ μ s

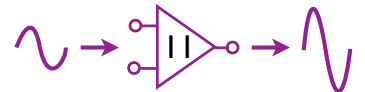
シミュレーション : 1.26 V/ μ s



立ち下がり : 1.29 V/ μ s

シミュレーション : 1.14 V/ μ s

GUNMA UNIVERSITY TAKAI-LAB



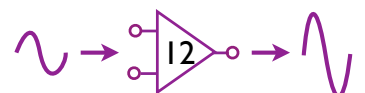
測定結果まとめ

シミュレーション結果と実測結果

		直流利得 [倍]	-3dB帯域幅 [kHz]	最大入力電圧 [mV]	スルーレート [V/ μ s]		消費電流 [μ A]	
					立ち上がり	立ち下がり	正電源側	負電源側
シミュレーション 結果		9.66	192.7	± 146	1.26	1.14	31.8	31.9
実測	チップ1	10.1	408.5	272	1.55	1.29	8.9	62.8
	チップ2	10.8	402.6	264	2.00	1.52	7.2	67.8
	スコア (最悪値)						67.8	

シミュレーションとは少しずれた

GUNMA UNIVERSITY TAKAI-LAB



まとめ

- ✔ 動作をする回路を設計できた
- ✔ シミュレーションとの違いなど、レイアウトや回路に関して学ぶことができた
- アナログ回路設計の難しさを痛感した
- レイアウトは大変だったが楽しかった
- 今後は綺麗に動作する回路を設計したい

このような貴重な機会を与えて下さった
協賛企業の皆さまと運営の皆様に深く感謝を申し上げます

